

ANX-PR/CL/001-02
GUÍA DE APRENDIZAJE

ASIGNATURA

Sistemas digitales

CURSO ACADÉMICO - SEMESTRE

2014-15 - Segundo semestre

FECHA DE PUBLICACIÓN

Enero - 2015

Datos Descriptivos

Nombre de la Asignatura	Sistemas digitales
Titulación	10II - Grado en Ingeniería Informatica
Centro responsable de la titulación	E.T.S. de Ingenieros Informaticos
Semestre/s de impartición	Primer semestre Segundo semestre
Materia	Informatica
Carácter	Basica
Código UPM	105000012

Datos Generales

Créditos	6	Curso	1
Curso Académico	2014-15	Período de impartición	Febrero-Junio
Idioma de impartición	Castellano	Otros idiomas de impartición	

Requisitos Previos Obligatorios

Asignaturas Superadas

El plan de estudios Grado en Ingeniería Informatica no tiene definidas asignaturas previas superadas para esta asignatura.

Otros Requisitos

El plan de estudios Grado en Ingeniería Informatica no tiene definidos otros requisitos para esta asignatura.

Conocimientos Previos

Asignaturas Previas Recomendadas

Fundamentos fisicos y tecnologicos de la informatica

Otros Conocimientos Previos Recomendados

Álgebras de Boole

Competencias

- CG-1/21 - Capacidad de resolución de problemas aplicando conocimientos de matemáticas, ciencias e ingeniería.
- CG-19 - Capacidad de usar las tecnologías de la información y la comunicación.
- CG-3/4 - Saber trabajar en situaciones carentes de información y bajo presión, teniendo nuevas ideas, siendo creativo.
- CG-5 - Capacidad de gestión de la información.
- CG-6 - Capacidad de abstracción, análisis y síntesis
- Ce 10 - Concebir y desarrollar sistemas digitales utilizando lenguajes de descripción hardware.
- Ce 2 - Formalización y especificación de problemas reales cuya solución requiere el uso de la informática.

Resultados de Aprendizaje

- RA231 - Diseñar y analizar un sistema digital (combinacional y secuencial) y su construcción en tecnología CMOS.
- RA232 - Especificar y simular el funcionamiento de sistemas digitales mediante lenguajes de descripción hardware.
- RA352 - Conocimiento de las partes integrantes del soporte físico (hardware) de los ordenadores
- RA409 - Capacidad para diseñar, realizar experimentos e interpretar los resultados en sistemas digitales
- RA422 - Capacidad para la resolución de problemas de análisis y diseño en el ámbito de la electrónica digital, relativos a sistemas digitales

Profesorado

Profesorado

Nombre	Despacho	e-mail	Tutorías
Hermida De La Rica, Mariano (Coordinador/a)	4208	mariano.hermida@upm.es	M - 15:15 - 17:15 X - 15:15 - 17:15 J - 15:15 - 17:15
Arquero Hidalgo, Agueda	4210	agueda.arquero@upm.es	M - 09:00 - 11:00 X - 09:00 - 11:00 J - 09:00 - 11:00
Gonzalo Martin, Consuelo	4207	consuelo.gonzalo@upm.es	X - 09:00 - 12:00 J - 09:00 - 12:00
Martinez Izquierdo, M.estibaliz	4210	mariaestibaliz.martinez@upm.es	X - 10:00 - 13:00 J - 11:00 - 14:00
Martinez Olalla, Rafael	4208	rafael.martinezo@upm.es	L - 10:00 - 13:00 M - 11:00 - 13:00 X - 10:00 - 11:00
Perez Castellanos, Maria Mercedes	4207	mariamercedes.perez@upm.es	M - 10:00 - 13:00 X - 13:00 - 14:00 J - 11:00 - 13:00
Rodellar Biarge, M. Victoria	4205	maria victoria.rodellar@upm.es	M - 15:00 - 19:00 X - 15:00 - 17:00

Nota.- Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

Descripción de la Asignatura

La asignatura Sistemas Digitales introduce al alumno en el estudio, diseño y realización de las unidades funcionales básicas que componen los sistemas informáticos actuales, tanto a nivel físico como a nivel de simulación, mediante su modelado mediante lenguajes de descripción hardware. El desarrollo de la asignatura, comienza introduciendo los conceptos de familia lógica, las puertas lógicas básicas, y se prosigue desarrollando de forma incremental subsistemas destinados al registro, almacenamiento, control y computo de la información.

En el grupo 2M-I la asignatura será impartida en inglés.

Temario

1. Circuitos Combinacionales
 - 1.1. Introducción a los sistemas digitales
 - 1.2. Definición de circuito combinacional
 - 1.3. Funciones combinacionales. Simplificación e implementación
 - 1.4. Multiplexores
 - 1.5. Codificadores y decodificadores
 - 1.6. Comparadores
2. Introducción a los lenguajes de descripción de hardware
 - 2.1. Panorámica de VHDL
 - 2.2. Unidades de diseño
 - 2.3. Caracterización de señales y retardos
 - 2.4. Representación de la información. Tipos de objetos. Datos y operadores.
 - 2.5. Sentencias secuenciales y concurrentes en VHDL
3. Sistemas aritméticos básicos
 - 3.1. Sistemas numéricos posicionales. Binario, octal, hexadecimal y BCD. Códigos alfanuméricos: ASCII extendido
 - 3.2. Aritmética entera con signo: Signo magnitud y complemento a dos. Extensión de signo
 - 3.3. Semisumador y sumador completo. Sumador binario paralelo con acarreo en serie.
 - 3.4. Sumador/restador en complemento a dos. Detección de desbordamiento
 - 3.5. Modelos en VHDL
4. Registro de la información
 - 4.1. Sistemas síncronos. Relojes.
 - 4.2. Almacenamiento estático de la información. Latches y biestables.
 - 4.3. Especificación de los biestables. Frecuencia máxima, tiempos de setup y de hold.
 - 4.4. Registros, pilas y contadores.
 - 4.5. Modelos en VHDL

5. Sistemas Secuenciales Síncronos

- 5.1. Definición de sistema secuencial
- 5.2. Concepto de estado. Máquinas de estados finitos (FSM)
- 5.3. Autómatas de Mealy y de Moore
- 5.4. Especificación y etapas de diseño de sistemas secuenciales síncronos
- 5.5. Modelos en VHDL

6. Introducción a las Memorias

- 6.1. Conceptos y terminología básica
- 6.2. Clasificación. Jerarquías
- 6.3. Memorias ROM
- 6.4. Memorias RAM estáticas.

Cronograma

Horas totales: 80 horas

Horas presenciales: 80 horas (51.3%)

Peso total de actividades de evaluación continua:
100%

Peso total de actividades de evaluación sólo prueba final:
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<p>Presentación de la asignatura, guía docente y plataforma Gauss. Inicio del Tema1: Circuitos combinacionales</p> <p>Duración: 05:00</p> <p>LM: Actividad del tipo Lección Magistral</p>			
Semana 2	<p>Tema 1: Circuitos combinacionales básicos</p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas</p> <p>Duración: 02:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>			
Semana 3	<p>Circuitos combinacionales básicos</p> <p>Duración: 02:00</p> <p>LM: Actividad del tipo Lección Magistral</p>		<p>Trabajo con constructor virtual de circuitos</p> <p>Duración: 02:00</p> <p>OT: Otras actividades formativas</p>	<p>Pruebas de clase</p> <p>Duración: 01:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad presencial</p>
Semana 4	<p>Tema2: VHDL</p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas</p> <p>Duración: 01:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>			<p>Examen de Trabajo</p> <p>Duración: 01:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad presencial</p>
Semana 5	<p>Tema2: VHDL</p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas</p> <p>Duración: 02:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>			
Semana 6	<p>Tema2: VHDL</p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas</p> <p>Duración: 01:00</p> <p>PR: Actividad del tipo Clase de Problemas</p>			<p>Pruebas de clase</p> <p>Duración: 01:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación continua</p> <p>Actividad presencial</p>
Semana 7	<p>Tema3: Sistemas aritméticos</p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p>		<p>VHDL. Trabajo I Sesión I</p> <p>Duración: 02:00</p> <p>OT: Otras actividades formativas</p>	

Semana 8	<p>Tema3: Sistemas aritméticos Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>		<p>VHDL. Trabajo I Sesión II Duración: 02:00 OT: Otras actividades formativas</p>	
Semana 9	<p>Tema 4: Registro de la información Duración: 03:00 LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p>			<p>Examen de trabajo I de VHDL Duración: 01:00 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial</p>
Semana 10	<p>Tema 4: Registro de la información Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>			<p>Examen parcial Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p>
Semana 11	<p>Tema 5: Sistemas secuenciales síncronos Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>		<p>VHDL. Trabajo II Sesión I Duración: 02:00 OT: Otras actividades formativas</p>	
Semana 12	<p>Tema 5: Sistemas secuenciales síncronos Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>		<p>VHDL. Trabajo II Sesión II Duración: 02:00 OT: Otras actividades formativas</p>	
Semana 13	<p>Ejercicios y problemas Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>		<p>VHDL. Trabajo II Sesión III Duración: 02:00 OT: Otras actividades formativas</p>	<p>Pruebas de clase Duración: 01:00 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial</p>
Semana 14	<p>Tema 6: Memorias Duración: 03:00 LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p>			<p>Examen de trabajo II de VHDL Duración: 01:00 OT: Otras técnicas evaluativas Evaluación continua Actividad presencial</p>
Semana 15	<p>Tema 6: Memorias Duración: 03:00 LM: Actividad del tipo Lección Magistral</p> <p>Ejercicios y problemas Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p>			
Semana 16	<p>Ejercicios y problemas Duración: 03:00 PR: Actividad del tipo Clase de Problemas</p>			<p>Examen parcial Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial</p>

Semana 17				<p>Examen final Duración: 04:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad presencial</p> <p>Examen final Duración: 01:00 OT: Otras técnicas evaluativas Evaluación sólo prueba final Actividad presencial</p>
-----------	--	--	--	--

Nota.- El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

Nota 2.- Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
3	Pruebas de clase	01:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	5%		CG-3/4, CG-5, CG-6, CG-19, CG-1/21, Ce 2
4	Examen de Trabajo	01:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	3%		CG-5, CG-3/4, CG-6, CG-1/21, CG-19, Ce 2
6	Pruebas de clase	01:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	5%		CG-1/21, CG-3/4, CG-5, CG-6, CG-19, Ce 2
9	Examen de trabajo I de VHDL	01:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	7%		CG-1/21, CG-3/4, CG-5, CG-6, Ce 10, Ce 2
10	Examen parcial	02:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	30%		CG-5, CG-6, CG-19, Ce 2, CG-1/21, Ce 10, CG-3/4
13	Pruebas de clase	01:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	5%		CG-1/21, CG-3/4, CG-5, CG-6, CG-19, Ce 2
14	Examen de trabajo II de VHDL	01:00	Evaluación continua	OT: Otras técnicas evaluativas	Sí	10%		CG-1/21, CG-3/4, CG-5, CG-6, CG-19, Ce 2, Ce 10
16	Examen parcial	02:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	35%		CG-1/21, CG-3/4, CG-5, CG-6, CG-19, Ce 2, Ce 10
17	Examen final	04:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	70%		CG-1/21, CG-3/4, CG-5, CG-6, CG-19, Ce 2, Ce 10
17	Examen final	01:00	Evaluación sólo prueba final	OT: Otras técnicas evaluativas	Sí	30%		CG-1/21, CG-3/4, CG-5, CG-6, CG-19, Ce 2, Ce 10

Criterios de Evaluación

La asignatura se superará cuando se obtenga 5 o más puntos sobre un total de 10, según los porcentajes indicados en la anterior distribución de los porcentajes de puntuación. En las convocatorias extraordinarias se seguirá la distribución de "sólo prueba final". No se guardarán partes aprobadas para convocatorias posteriores.

Recursos Didácticos

Descripción	Tipo	Observaciones
Fundamentos de Sistemas Digitales. T.L. Floyd; Pearson Education 2006	Bibliografía	Texto general
Sistemas Digitales. A. Lloris, A. Prieto y L. Parrilla; McGraw-Hill, 2003	Bibliografía	Texto adicional
VHDL. Lenguaje para síntesis y modelado de circuitos. F. Pardo y J. Boluda; Ed. Rama 2003	Bibliografía	Texto VHDL
Diseño de Sistemas Digitales con VHDL. S.A. Pérez, E. Soto y S. Fernández; Ed. Thomson2003	Bibliografía	Texto adicional VHDL
Fundamentals of Digital Logic with VHDL Design. S. Brown and Z. Vranesic; McGraw-Hill 2009	Bibliografía	Texto en inglés
http://tamarisco.datsi.fi.upm.es/ASIGNATURAS/SD/	Recursos web	Página web de la asignatura
Moodle	Recursos web	Dirección a determinar

Otra Información

ADVERTENCIA

Los derechos y deberes de los estudiantes universitarios están desarrollados en los Estatutos de la Universidad Politécnica de Madrid (BOCM de 15 de noviembre de 2010) y el Estatuto del Estudiante Universitario (RD 1791/2010 de 30 de diciembre).

El artículo 124 a) de los Estatutos de la UPM fija como deber del estudiante ...

"Seguir con responsabilidad y aprovechamiento el proceso de formación, adquisición de conocimientos, y aprendizaje correspondiente a su condición de universitario"...

y el artículo 13 del Estatuto del Estudiante Universitario, en el punto d) especifica también como deber del estudiante universitario

"abstenerse de la utilización o cooperación en procedimientos fraudulentos en las pruebas de evaluación, en los trabajos que se realicen o en documentos oficiales de la universidad".

En el caso de que en el desarrollo de las pruebas de evaluación se aprecie el incumplimiento de los deberes como estudiante universitario, el coordinador de la asignatura podrá ponerlo en conocimiento del Director o Decano del Centro, que de acuerdo con lo establecido en artículo 74 (n) de los Estatutos de la UPM tiene competencias para "Proponer la iniciación del procedimiento disciplinario a cualquier miembro de la Escuela o Facultad, por propia iniciativa o a instancia de la Comisión de Gobierno" al Rector, en los términos previstos en los estatutos y normas de aplicación