

**ANX-PR/CL/001-02**  
**GUÍA DE APRENDIZAJE**

**ASIGNATURA**

Electronica digital

**CURSO ACADÉMICO - SEMESTRE**

2015-16 - Primer semestre

## Datos Descriptivos

---

<b>Nombre de la Asignatura</b>	Electronica digital
<b>Titulación</b>	05TI - Grado en Ingeniería en Tecnologías Industriales
<b>Centro responsable de la titulación</b>	E.T.S. de Ingenieros Industriales
<b>Semestre/s de impartición</b>	Séptimo semestre
<b>Módulo</b>	Especialidad
<b>Materia</b>	Automatica-electronica
<b>Carácter</b>	Optativa
<b>Código UPM</b>	55000104
<b>Nombre en inglés</b>	Digital Electronics

## Datos Generales

---

<b>Créditos</b>	3	<b>Curso</b>	4
<b>Curso Académico</b>	2015-16	<b>Período de impartición</b>	Septiembre-Enero
<b>Idioma de impartición</b>	Castellano	<b>Otros idiomas de impartición</b>	

## Requisitos Previos Obligatorios

---

### Asignaturas Superadas

El plan de estudios Grado en Ingeniería en Tecnologías Industriales no tiene definidas asignaturas previas superadas para esta asignatura.

### Otros Requisitos

El plan de estudios Grado en Ingeniería en Tecnologías Industriales no tiene definidos otros requisitos para esta asignatura.

## Conocimientos Previos

---

### Asignaturas Previas Recomendadas

El coordinador de la asignatura no ha definido asignaturas previas recomendadas.

### Otros Conocimientos Previos Recomendados

El coordinador de la asignatura no ha definido otros conocimientos previos recomendados.

## Competencias

---

CE21A - Conocimiento de los fundamentos y aplicaciones de la electrónica digital y microprocesadores.

CE24A - Capacidad para diseñar sistemas electrónicos analógicos, digitales y de potencia.

CG1 - Conocer y aplicar conocimientos de ciencias y tecnologías básicas a la práctica de la Ingeniería Industrial.

CG10 - Capacidad para generar nuevas ideas (Creatividad).

CG2 - Poseer capacidad para diseñar, desarrollar, implementar, gestionar y mejorar productos, sistemas y procesos en los distintos ámbitos industriales, usando técnicas analíticas, computacionales o experimentales apropiadas.

CG3 - Aplicar los conocimientos adquiridos para identificar, formular y resolver problemas dentro de contextos amplios y multidisciplinares, siendo capaces de integrar conocimientos, trabajando en equipos multidisciplinares.

CG5 - Saber comunicar los conocimientos y conclusiones, de forma oral, escrita y gráfica, a públicos especializados y no especializados de un modo claro y sin ambigüedades.

CG6 - Poseer habilidades de aprendizaje que permitan continuar estudiando a lo largo de la vida para su adecuado desarrollo profesional.

CG7 - Incorporar nuevas tecnologías y herramientas de la Ingeniería Industrial en sus actividades profesionales.

CG9 - Organización y planificación en el ámbito de la empresa, y otras instituciones y organizaciones de proyectos y equipos humanos.

## Resultados de Aprendizaje

---

RA8 - Capacidad y habilidades para diseñar circuitos digitales de complejidad intermedia, a partir de bloques funcionales conocidos, combinados con máquinas de estados.

RA9 - Adquirir criterios para seleccionar las diferentes posibilidades tecnológicas de implementación de circuitos

## Profesorado

---

### Profesorado

Nombre	Despacho	e-mail	Tutorías
Torre Arnanz, Eduardo De La <b>(Coordinador/a)</b>		eduardo.delatorre@upm.es	
Riesgo Alcaide, Teresa		teresa.riesgo@upm.es	
Portilla Berruero, Jorge		jorge.portilla@upm.es	

**Nota.-** Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

### Personal Investigador en Formación o Similar

Nombre	e-mail	Profesor Responsable
Rodríguez Medina, Alfonso	alfonso.rodriguez@upm.es	Torre Arnanz, Eduardo De La

## Descripción de la Asignatura

---

<b>MODULO 0: Información general de la asignatura</b>	Tema 0: Información general de la asignatura
<b>MODULO 1: VHDL</b>	Tema 1: Introducción al VHDL. Repaso de circuitos
<b>MODULO 2: Síntesis de circuitos secuenciales</b>	Tema 2: Metodología de síntesis de circuitos secuenciales síncronos Tema 3: Metodología de síntesis de circuitos asíncronos
<b>MODULO 3: Tecnologías digitales</b>	Tema 4: Familias lógicas. Compatibilidad. Entradas/salidas especiales. Memorias
<b>MODULO 4: Dispositivos programables</b>	Tema 5: Dispositivos programables. PALs, PLDs y FPGAs Tema 6: Arquitecturas de FPGAs

## Temario

---

1. Introducción al VHDL. Repaso de circuitos
2. Metodología de síntesis de circuitos secuenciales síncronos
3. Metodología de síntesis de circuitos secuenciales asíncronos
4. Familias lógicas. Compatibilidad. E/S especiales
5. Dispositivos programables: PALs, CPLDs y FPGAs
6. Arquitecturas de FPGAs

## Cronograma

**Horas totales:** 43 horas

**Horas presenciales:** 43 horas (53.1%)

**Peso total de actividades de evaluación continua:**  
100%

**Peso total de actividades de evaluación sólo prueba final:**  
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<b>Presentación asignatura</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 2	<b>VHDL y repaso asignatura</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 3	<b>VHDL y repaso asignatura</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 4	<b>VHDL y repaso asignatura</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 5	<b>VHDL y repaso asignatura</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral	<b>Curso de manejo de las herramientas de diseño</b> Duración: 03:00 AC: Actividad del tipo Acciones Cooperativas		
Semana 6	<b>Síntesis de circuitos secuenciales.</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral	<b>Práctica 1 de laboratorio. Diseño sencillo</b> Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 7	<b>Problemas de síntesis de circuitos secuenciales</b> Duración: 02:00 PR: Actividad del tipo Clase de Problemas			
Semana 8	<b>Problemas de síntesis de circuitos secuenciales</b> Duración: 02:00 PR: Actividad del tipo Clase de Problemas	<b>Práctica 2. Diseño y simulación sobre FPGA</b> Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 9	<b>Problemas de síntesis de circuitos secuenciales</b> Duración: 01:30 PR: Actividad del tipo Clase de Problemas <b>Enunciado del trabajo/diseño</b> Duración: 00:30 AC: Actividad del tipo Acciones Cooperativas			
Semana 10	<b>Síntesis de circuitos secuenciales asíncronos</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			<b>Examen de VHDL</b> Duración: 00:00 EX: Técnica del tipo Examen Escrito Evaluación continua Actividad presencial

Semana 11	<b>Problemas de síntesis de circuitos secuenciales asíncronos</b> Duración: 02:00 PR: Actividad del tipo Clase de Problemas			
Semana 12	<b>Familias lógicas.</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral	<b>práctica 3. Diseño complejo con máquinas de estado.</b> Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 13	<b>Familias lógicas.</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 14	<b>Circuitos programables y FPGAs</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral			
Semana 15				<b>Examen final. Parte Ev. continua</b> Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua y sólo prueba final Actividad presencial <b>Examen final. Parte final</b> Duración: 01:00 EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Actividad presencial
Semana 16				<b>Revisión del trabajo</b> Duración: 01:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua Actividad presencial
Semana 17				

**Nota.-** El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

**Nota 2.-** Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

## Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
10	Examen de VHDL	00:00	Evaluación continua	EX: Técnica del tipo Examen Escrito	Sí	30%		CE21A, CE24A
15	Examen final. Parte Ev. continua	02:00	Evaluación continua y sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	50%	4 / 10	CG5, CG1, CG7, CE21A, CE24A
15	Examen final. Parte final	01:00	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	50%		CG2, CG1, CG10, CE21A, CE24A
16	Revisión del trabajo	01:00	Evaluación continua	TG: Técnica del tipo Trabajo en Grupo	Sí	20%		CG2, CG7, CG10

## Criterios de Evaluación

El trabajo se evalúa mediante una revisión de una hora por cada grupo de dos alumnos, en la que presentan el trabajo de cara a evaluar creatividad y expresión oral, fundamentalmente. Es posible sacar más de un diez en función de la creatividad y sencillez y originalidad del diseño.



## Recursos Didácticos

---

Descripción	Tipo	Observaciones
Transparencias de clase	Recursos web	Transparencias de clase
Placas y SW de diseño con FPGAs	Equipamiento	Placas Spartan-3 para trabajos y prácticas de laboratorio
SW de diseño versión estudiante	Otros	Misma versión que el SW usado en el laboratorio, pero en versión estudiante