

ANX-PR/CL/001-01
GUÍA DE APRENDIZAJE

ASIGNATURA

Arquitecturas de procesamiento avanzado

CURSO ACADÉMICO - SEMESTRE

2016-17 - Segundo semestre

Datos Descriptivos

Nombre de la Asignatura	Arquitecturas de procesamiento avanzado
Titulación	05AN - Master Universitario en Electronica Industrial
Centro responsable de la titulación	Escuela Técnica Superior de Ingenieros Industriales
Semestre/s de impartición	Segundo semestre
Carácter	Optativa
Código UPM	53001022
Nombre en inglés	Advanced processing architectures

Datos Generales

Créditos	4.5	Curso	1
Curso Académico	2016-17	Período de impartición	Febrero-Junio
Idioma de impartición	Castellano	Otros idiomas de impartición	

Requisitos Previos Obligatorios

Asignaturas Previas Requeridas

El plan de estudios Master Universitario en Electronica Industrial no tiene definidas asignaturas previas superadas para esta asignatura.

Otros Requisitos

El plan de estudios Master Universitario en Electronica Industrial no tiene definidos otros requisitos para esta asignatura.

Conocimientos Previos

Asignaturas Previas Recomendadas

Metodologías avanzadas de diseño de sistemas digitales

Lenguajes y herramientas de diseño digital

Otros Conocimientos Previos Recomendados

Conocimientos de VHDL

Competencias

CE1 - Adquirir conocimientos sobre las técnicas eficaces de aceleración de algoritmos, desde la mejora de las arquitecturas de los microprocesadores, el uso de aceleradores HW asociados, o las arquitecturas de procesamiento paralelo de múltiples núcleos (con sus problemas de sincronización asociados) o de enfoques con ejecución multi-hilo masiva tal como ocurre en las GPGPUs desde lenguajes de paralelismo explícito.

Resultados de Aprendizaje

RA15 - Programación CUDA/OpenCL

RA14 - Sincronización de procesos en arquitecturas multiprocesador

RA12 - Aprendizaje de técnicas avanzadas de procesamiento, asociadas a las

RA13 - Manejo de herramientas de diseño HW: Xilinx EDK y SDK

Profesorado

Profesorado

Nombre	Despacho	e-mail	Tutorías
Torre Arnanz, Eduardo De La (Coordinador/a)		eduardo.delatorre@upm.es	
Portilla Berrueco, Jorge		jorge.portilla@upm.es	

Nota.- Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

Personal Investigador en Formación o Similar

Nombre	e-mail	Profesor Responsable
Mora De Sambricio, Javier	javier.morad@upm.es	Torre Arnanz, Eduardo De La
Rodríguez Medina, Alfonso	alfonso.rodriguez@upm.es	Torre Arnanz, Eduardo De La

Descripción de la Asignatura

The subject contents are split into four different parts:

- Advanced single-core architectures
- Systems on Programmable Chip (SoPC)
- Multi-core architectures and models of computation
- Many-core architectures and GPU programming

Temario

1. Subject introduction and motivation
2. Single microprocessor architectures
 - 2.1. Cost-performance issues
 - 2.2. Pipelined architectures
 - 2.3. Memory hierarchy
3. Systems on Programmable chip (SoPC)
 - 3.1. Introduction. to SoPCs- Embedded microprocessor design
 - 3.2. Communication architectures
 - 3.3. SoPC debugging
 - 3.4. Embedded operating systems
4. Multiprocessor architectures
 - 4.1. Introduction and classification of multiprocessor architectures
 - 4.2. Multiprocessor Systems on Programmable Chip (MPSoCs)
 - 4.3. Other models of computation. Dataflow programming
5. Many-core architectures
 - 5.1. GPGPU architectures
 - 5.2. CUDA / OpenCL programming models

Cronograma

Horas totales: 44 horas y 10 minutos

Horas presenciales: 44 horas (37.6%)

Peso total de actividades de evaluación continua:
100%

Peso total de actividades de evaluación sólo prueba final:
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<p>Subject presentation Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Single microprocessor architectures. cost vs performance Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 2	<p>Pipelined architectures Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 3	<p>Memory hierarchy Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 4	<p>Introduction to SoPC. Communication architectures Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 5		<p>EDK Basics lab Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 6	<p>SoPC debugging and embedded OSs Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>			<p>Homework 1. Cache impact Duración: 00:10 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>
Semana 7		<p>EDK HW accelerator design Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 8		<p>SDK embedded SW lab Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 9		<p>ChipScope and HW/SW debugging Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 10	<p>Multi-processor architectures Duración: 03:00 LM: Actividad del tipo Lección Magistral</p>			

Semana 11	Models of computation Duración: 03:00 LM: Actividad del tipo Lección Magistral			Homework 2. Custom HW accelerator design Duración: 00:00 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial
Semana 12		MPSoC with EDK. Communication and synchronization Duración: 00:00 PL: Actividad del tipo Prácticas de Laboratorio		
Semana 13		Dataflow programming. CAL seminar Duración: 03:00 PR: Actividad del tipo Clase de Problemas		
Semana 14	Many-core systems. The GPGPU model Duración: 03:00 LM: Actividad del tipo Lección Magistral			
Semana 15		CUDA / OpenCL programming lab Duración: 03:00 LM: Actividad del tipo Lección Magistral		Homework 3. Multiprocessor programming Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua Actividad no presencial
Semana 16				GPU program and performance comparison o Duración: 00:00 TG: Técnica del tipo Trabajo en Grupo Evaluación continua Actividad no presencial
Semana 17				Examen eval continua Duración: 02:00 EX: Técnica del tipo Examen Escrito Evaluación continua y sólo prueba final Actividad presencial Complement for non-continuous evaluation Duración: 04:00 EP: Técnica del tipo Examen de Prácticas Evaluación sólo prueba final Actividad presencial

Nota.- El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

Nota 2.- Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
6	Homework 1. Cache impact	00:10	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	15%	3 / 10	CE1
11	Homework 2. Custom HW accelerator design	00:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	15%	3 / 10	
15	Homework 3. Multiprocessor programming	00:00	Evaluación continua	TG: Técnica del tipo Trabajo en Grupo	No	10%		
16	GPU program and performance comparison	00:00	Evaluación continua	TG: Técnica del tipo Trabajo en Grupo	No	10%		
17	Examen eval continua	02:00	Evaluación continua y sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	50%	4 / 10	CE1
17	Complement for non-continuous evaluation	04:00	Evaluación sólo prueba final	EP: Técnica del tipo Examen de Prácticas	Sí	50%	3 / 10	CE1

Criterios de Evaluación

All works, which in total average 50% of the global score, consist on developing the same algorithm on several alternatives: a machine based on a single processor, where the impact of cache size is evaluated in homework #1, a multiprocessor system, a HW accelerator and a CUDA program.

The exam is mandatory for either continuous or non-continuous evaluation method. Non-continuous evaluation is complemented with an extra exam, which scores 50%, where tool management (EDK, SDK, ChipScope and/or CUDA) may be claimed.

Recursos Didácticos

Descripción	Tipo	Observaciones
Class slides	Bibliografía	Slides are delivered to the students in advance.
Virtex 5 - XUP boards	Equipamiento	These boards will be used for all EDK and SDK lab courses.
NVIDIA GPUs	Equipamiento	Some intermediate-level NVIDIA GPUs are available for CUDA/OpenCL programming. They have been donated by NVIDIA when the lab applied to be NVIDIA Teaching Center