



POLITÉCNICA

INTERNATIONAL  
CAMPUS OF  
EXCELLENCE

COORDINATION PROCESS OF  
LEARNING ACTIVITIES  
PR/CL/001



E.T.S. de Ingenieros de  
Telecomunicacion

# ANX-PR/CL/001-01

## LEARNING GUIDE

### SUBJECT

**93000835 - Microelectronic Design**

### DEGREE PROGRAMME

09AQ - Master Universitario en Ingeniería de Telecomunicacion

### ACADEMIC YEAR & SEMESTER

2020/21 - Semester 1

## Index

---

### Learning guide

1. Description.....	1
2. Faculty.....	1
3. Skills and learning outcomes .....	2
4. Brief description of the subject and syllabus.....	3
5. Schedule.....	6
6. Activities and assessment criteria.....	9
7. Teaching resources.....	11

## 1. Description

---

### 1.1. Subject details

<b>Name of the subject</b>	93000835 - Microelectronic Design
<b>No of credits</b>	6 ECTS
<b>Type</b>	Optional
<b>Academic year of the programme</b>	Second year
<b>Semester of tuition</b>	Semester 3
<b>Tuition period</b>	September-January
<b>Tuition languages</b>	English
<b>Degree programme</b>	09AQ - Master Universitario en Ingenieria de Telecomunicacion
<b>Centre</b>	09 - Escuela Tecnica Superior de Ingenieros de Telecomunicacion
<b>Academic year</b>	2020-21

## 2. Faculty

---

### 2.1. Faculty members with subject teaching role

<b>Name and surname</b>	<b>Office/Room</b>	<b>Email</b>	<b>Tutoring hours *</b>
M. Luisa Lopez Vallejo (Subject coordinator)	C-230	m.lopez.vallejo@upm.es	Tu - 12:00 - 13:00 Th - 17:00 - 19:00

\* The tutoring schedule is indicative and subject to possible changes. Please check tutoring times with the faculty member in charge.

## 2.2. Research assistants

Name and surname	Email	Faculty member in charge
De Gracia Herranz, Amadeo	amadeo.degracia@upm.es	Lopez Vallejo, M. Luisa

## 3. Skills and learning outcomes \*

---

### 3.1. Skills to be learned

CE10 - Capacidad para diseñar y fabricar circuitos integrados.

CE11 - Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.

CE12 - Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.

CT3 - Capacidad para adoptar soluciones creativas que satisfagan adecuadamente las diferentes necesidades planteadas.

CT4 - Capacidad para trabajar de forma efectiva como individuo, organizando y planificando su propio trabajo, de forma independiente o como miembro de un equipo.

CT5 - Capacidad para gestionar la información, identificando las fuentes necesarias, los principales tipos de documentos técnicos y científicos, de una manera adecuada y eficiente.

## 3.2. Learning outcomes

RA9 - Saber redactar informes técnicos sobre trabajos realizados, con una estructura, contenidos y lenguaje del nivel adecuado a un trabajo de ingeniería

RA88 - Ser capaz de tomar decisiones de diseño para un circuito integrado CMOS, verificando su impacto mediante simulación.

RA89 - Conocer las opciones en el diseño de circuitos integrados de bloques combinacionales, secuenciales, rutas de datos, memorias y circuitos de propósito especiales.

RA87 - Comprender cómo distintas alternativas de diseño para un circuito integrado CMOS afectan a su área, velocidad, consumo de potencia, fiabilidad y coste.

RA94 - Diseñar, verificar y caracterizar un circuito integrado CMOS a partir de una especificación.

RA92 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño full-custom.

RA93 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño con células estándar y FPGA.

\* The Learning Guides should reflect the Skills and Learning Outcomes in the same way as indicated in the Degree Verification Memory. For this reason, they have not been translated into English and appear in Spanish.

## 4. Brief description of the subject and syllabus

---

### 4.1. Brief description of the subject

La asignatura Diseño Microelectrónico persigue el objetivo de formar a los alumnos del itinerario de Electrónica en el diseño full-custom de circuitos integrados VLSI. Esta asignatura proporciona un puente entre el diseño de sistemas y las tecnologías, procesos y dispositivos, planteando los requerimientos de los circuitos y sistemas que hacen uso de dichas tecnologías.

Esta asignatura proporciona a los futuros diseñadores de sistemas hardware una visión que cubre desde los aspectos de diseño de sistemas hasta los de trazado físico, pasando por sus circuitos y bloques componentes, fundamentalmente centrados en tecnología CMOS, que es la más utilizada hoy en día para el diseño de circuitos de aplicación. Se asegurará también una introducción básica a las estructuras y procesos tecnológicos necesarios en la labor de diseño de circuitos integrados.

La asignatura se organiza en clases teóricas que se complementan con sesiones prácticas de diseño de circuitos con herramientas profesionales.

## 4.2. Syllabus

1. Introducción al diseño de ASICs
2. Transistores: su funcionamiento
  - 2.1. Estructura MOS
  - 2.2. El transistor MOSFET
  - 2.3. Efectos de segundo orden
  - 2.4. Modelo unificado
3. Lógica CMOS
  - 3.1. Inversores
  - 3.2. Lógica de puertas
  - 3.3. Diagramas de barras
  - 3.4. Lógica de conmutación
4. Proceso CMOS
  - 4.1. Proceso CMOS básico
  - 4.2. Reglas de diseño
  - 4.3. Latchup
5. Caracterización del circuito
  - 5.1. Resistencia
  - 5.2. Capacidad
  - 5.3. Retardo

- 5.4. Excitación de grandes capacidades
- 5.5. Consumo de potencia (estática y dinámica)
- 5.6. Optimización
- 6. Lógica secuencial, temporización y familias lógicas
  - 6.1. Elementos de memoria
  - 6.2. Temporización
  - 6.3. Familias Lógicas
- 7. Memorias
  - 7.1. RAMs
  - 7.2. ROMs
- 8. Diseño semi-custom
  - 8.1. Flujo de diseño semi-custom
  - 8.2. Síntesis
  - 8.3. Diseño físico
- 9. Visión global del circuito integrado
  - 9.1. Entrada/Salida del chip
  - 9.2. Plano de base
  - 9.3. Alternativas de diseño de chips CMOS
  - 9.4. Trazado de circuitos analógicos
  - 9.5. Aspectos económicos
- 10. Test de circuitos integrados / Diseño para test
  - 10.1. Necesidad del test
  - 10.2. Controlabilidad, observabilidad y modelos de fallos
  - 10.3. Estrategias de diseño para test
  - 10.4. Test a nivel de sistema

## 5. Schedule

### 5.1. Subject schedule\*

Week	Face-to-face classroom activities	Face-to-face laboratory activities	Distant / On-line	Assessment activities
1	<b>Tema 1: Introducción al diseño de ASICs</b> Duration: 01:00 Lecture  <b>Tema 2: Transistores: su funcionamiento</b> Duration: 02:00 Lecture			
2	<b>Tema 2: Transistores: su funcionamiento</b> Duration: 01:00 Lecture  <b>Tema 2: Transistores: su funcionamiento</b> Duration: 02:00 Problem-solving class			
3	<b>Tema 3: Lógica CMOS</b> Duration: 01:00 Lecture  <b>Tema 3: Lógica CMOS</b> Duration: 02:00 Lecture			
4	<b>Tema 3: Lógica CMOS</b> Duration: 01:00 Lecture  <b>Tema 4: Proceso CMOS</b> Duration: 02:00 Lecture	Aprendizaje de la herramienta icfb. <b>Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar.</b> Duration: 02:00 Laboratory assignments		<b>Entrega de ejercicios sobre el funcionamiento de los transistores MOS</b> Individual work Continuous assessment Not Presential Duration: 00:00
5	<b>Presentación del proyecto</b> Duration: 01:00 Additional activities  <b>Tema 5: Caracterización del circuito</b> Duration: 02:00 Lecture	<b>Trazados, DRC, LVS y backannotation.</b> Duration: 03:00 Laboratory assignments		
6	<b>Tema 5: Caracterización del circuito</b> Duration: 01:00 Problem-solving class  <b>Tema 5: Caracterización del circuito</b> Duration: 02:00 Lecture	<b>Parámetros, análisis de corners y análisis estadístico.</b> Duration: 03:00 Laboratory assignments		



7	<p><b>Tema 6: Circuitos secuenciales</b> Duration: 01:00 Lecture</p>			<p><b>Primera entrega del proyecto correspondiente a circuitos combinacionales</b> Group work Continuous assessment Presential Duration: 00:00</p> <p><b>Examen parcial</b> Written test Continuous assessment Presential Duration: 02:00</p>
8	<p><b>Tema 6: Circuitos secuenciales</b> Duration: 01:00 Lecture</p> <p><b>Tema 6: Circuitos secuenciales</b> Duration: 02:00 Lecture</p>			
9	<p><b>Tema 6: Circuitos secuenciales</b> Duration: 01:00 Lecture</p> <p><b>Tema 6: Circuitos secuenciales</b> Duration: 02:00 Lecture</p>			
10	<p><b>Tema 7: Memorias</b> Duration: 01:00 Lecture</p> <p><b>Tema 7: Memorias</b> Duration: 02:00 Lecture</p>			<p><b>Segunda entrega del proyecto correspondiente a circuitos secuenciales</b> Group work Continuous assessment Presential Duration: 00:00</p>
11	<p><b>Tema 7: Memorias</b> Duration: 02:00 Lecture</p> <p><b>Tema 9: Visión global del circuito integrado</b> Duration: 01:00 Lecture</p>	<p><b>Tema 8: Síntesis lógica con Synopsys. Simulación. Optimización de consumo.</b> Duration: 02:00 Laboratory assignments</p>		
12	<p><b>Tema 9: Visión global del circuito integrado</b> Duration: 01:00 Lecture</p> <p><b>Tema 9: Visión global del circuito integrado</b> Duration: 02:00 Lecture</p>	<p><b>Tema 8: Colocación y rutado con Encounter. Utilización de scripts.</b> Duration: 02:00 Laboratory assignments</p>		
13	<p><b>Tema 10: Test de circuitos integrados</b> Duration: 02:00 Lecture</p> <p><b>Repaso. Ejercicios de examen</b> Duration: 02:00 Problem-solving class</p>			<p><b>Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL</b> Group work Continuous assessment Presential Duration: 00:00</p>

14				<p>Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip</p> <p>Individual work Final examination Not Presential Duration: 00:00</p>
15				
16				
17				<p>Examen final. Sólo segunda parte si se tiene una calificación igual o superior a 4,0 en el examen parcial</p> <p>Written test Continuous assessment Presential Duration: 03:00</p> <p>Participación en clase a lo largo del curso</p> <p>Other assessment Continuous assessment Presential Duration: 00:00</p> <p>Examen final</p> <p>Written test Final examination Presential Duration: 03:00</p> <p>Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip</p> <p>Group work Continuous assessment Presential Duration: 00:00</p>

Depending on the programme study plan, total values will be calculated according to the ECTS credit unit as 26/27 hours of student face-to-face contact and independent study time.

\* The schedule is based on an a priori planning of the subject; it might be modified during the academic year, especially considering the COVID19 evolution.

## 6. Activities and assessment criteria

### 6.1. Assessment activities

#### 6.1.1. Continuous assessment

Week	Description	Modality	Type	Duration	Weight	Minimum grade	Evaluated skills
4	Entrega de ejercicios sobre el funcionamiento de los transistores MOS	Individual work	No Presential	00:00	5%	0 / 10	CE12
7	Primera entrega del proyecto correspondiente a circuitos combinacionales	Group work	Face-to-face	00:00	%	0 / 10	CT4 CT3 CE12 CE10
7	Examen parcial	Written test	Face-to-face	02:00	20%	4 / 10	CE10
10	Segunda entrega del proyecto correspondiente a circuitos secuenciales	Group work	Face-to-face	00:00	%	0 / 10	CT4 CT3 CE12 CE10
13	Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL	Group work	Face-to-face	00:00	%	0 / 10	CT4 CT3 CE12 CE10
17	Examen final. Sólo segunda parte si se tiene una calificación igual o superior a 4,0 en el examen parcial	Written test	Face-to-face	03:00	20%	4 / 10	CE12 CE10 CT3
17	Participación en clase a lo largo del curso	Other assessment	Face-to-face	00:00	5%	0 / 10	CT4 CT3 CE10
17	Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip	Group work	Face-to-face	00:00	50%	5 / 10	CT5 CT4 CT3 CE10 CE11

#### 6.1.2. Final examination

Week	Description	Modality	Type	Duration	Weight	Minimum grade	Evaluated skills
14	Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip	Individual work	No Presential	00:00	50%	5 / 10	CT5 CT4 CT3 CE12 CE10 CE11

17	Examen final	Written test	Face-to-face	03:00	50%	4 / 10	CT3 CE12 CE10
----	--------------	--------------	--------------	-------	-----	--------	---------------------

### 6.1.3. Referred (re-sit) examination

Description	Modality	Type	Duration	Weight	Minimum grade	Evaluated skills
Proyecto final	Individual presentation	Face-to-face	00:00	50%	5 / 10	CT5 CT4 CT3 CE12 CE10 CE11
Examen final	Written test	Face-to-face	03:00	50%	4 / 10	CE10 CT3 CE12

## 6.2. Assessment criteria

La calificación final de la asignatura, en evaluación continua, se realizará a través de tres evaluaciones:

- Primer examen escrito (parcial): se libera el 25% de la materia si se tiene una calificación igual o superior a 4,0. En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Segundo examen escrito (25%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase. Se puede evaluar de nuevo la primera parte de la asignatura si el alumno no tuvo en el parcial una calificación igual o superior a 4,0.
- Entrega de trabajos prácticos y ejercicios (40%).
- Participación en clase y entregas teóricas (10%).

En convocatoria ordinaria, los alumnos serán evaluados por defecto mediante evaluación continua. No obstante, los alumnos que lo deseen podrán ser evaluados por la opción sólo prueba final, siempre y cuando lo comuniquen al Coordinador de la Asignatura mediante correo electrónico enviado antes de la fecha de entrega de la primera entrega del proyecto, en la semana 7. En esta opción, el alumnado tiene acceso libre al laboratorio y la calificación se otorgará en función de dos evaluaciones:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (50%). Es el mismo proyecto que en la versión de evaluación continua.

En convocatoria extraordinaria, los alumnos serán evaluados en función de dos pruebas:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (50%). Es el mismo proyecto que en la versión de evaluación continua.

## 7. Teaching resources

### 7.1. Teaching resources for the subject

Name	Type	Notes
CMOS VLSI Design: A circuits and Systems Perspective N. Weste, D. Harris (Libro de referencia). Pearson Addison Wesley 2005.	Bibliography	
"Digital Integrated Circuits", Rabaey, J.M. Prentice Hall, 1996	Bibliography	
Introduction to VLSI Systems: A Logic, Circuit, and System Perspective Ming-Bo Lin. CRC Press. 2011	Bibliography	