



UNIVERSIDAD
POLITÉCNICA
DE MADRID

PROCESO DE
COORDINACIÓN DE LAS
ENSEÑANZAS PR/CL/001



E.T.S. de Ingenieros de
Telecomunicacion

ANX-PR/CL/001-01

GUÍA DE APRENDIZAJE

ASIGNATURA

93000835 - Diseño Microelectronico

PLAN DE ESTUDIOS

09AQ - Master Universitario En Ingenieria De Telecomunicacion

CURSO ACADÉMICO Y SEMESTRE

2022/23 - Primer semestre

Índice

Guía de Aprendizaje

| | |
|--|----|
| 1. Datos descriptivos..... | 1 |
| 2. Profesorado..... | 1 |
| 3. Competencias y resultados de aprendizaje..... | 2 |
| 4. Descripción de la asignatura y temario..... | 3 |
| 5. Cronograma..... | 6 |
| 6. Actividades y criterios de evaluación..... | 9 |
| 7. Recursos didácticos..... | 11 |

1. Datos descriptivos

1.1. Datos de la asignatura

| | |
|--|---|
| Nombre de la asignatura | 93000835 - Diseño Microelectronico |
| No de créditos | 6 ECTS |
| Carácter | Optativa |
| Curso | Segundo curso |
| Semestre | Tercer semestre |
| Período de impartición | Septiembre-Enero |
| Idioma de impartición | Castellano |
| Titulación | 09AQ - Master Universitario en Ingenieria de Telecomunicacion |
| Centro responsable de la titulación | 09 - Escuela Tecnica Superior De Ingenieros De Telecomunicacion |
| Curso académico | 2022-23 |

2. Profesorado

2.1. Profesorado implicado en la docencia

| Nombre | Despacho | Correo electrónico | Horario de tutorías * |
|---|-----------------|---------------------------|--|
| M. Luisa Lopez Vallejo (Coordinador/a) | C-230 | m.lopez.vallejo@upm.es | M - 12:00 - 13:00 J - 17:00 - 19:00 |

* Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

3. Competencias y resultados de aprendizaje

3.1. Competencias

CE10 - Capacidad para diseñar y fabricar circuitos integrados.

CE11 - Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.

CE12 - Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.

CT3 - Capacidad para adoptar soluciones creativas que satisfagan adecuadamente las diferentes necesidades planteadas.

CT4 - Capacidad para trabajar de forma efectiva como individuo, organizando y planificando su propio trabajo, de forma independiente o como miembro de un equipo.

CT5 - Capacidad para gestionar la información, identificando las fuentes necesarias, los principales tipos de documentos técnicos y científicos, de una manera adecuada y eficiente.

3.2. Resultados del aprendizaje

RA9 - Saber redactar informes técnicos sobre trabajos realizados, con una estructura, contenidos y lenguaje del nivel adecuado a un trabajo de ingeniería

RA88 - Ser capaz de tomar decisiones de diseño para un circuito integrado CMOS, verificando su impacto mediante simulación.

RA89 - Conocer las opciones en el diseño de circuitos integrados de bloques combinacionales, secuenciales, rutas de datos, memorias y circuitos de propósito especiales.

RA87 - Comprender cómo distintas alternativas de diseño para un circuito integrado CMOS afectan a su área, velocidad, consumo de potencia, fiabilidad y coste.

RA94 - Diseñar, verificar y caracterizar un circuito integrado CMOS a partir de una especificación.

RA92 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño full-custom.

RA93 - Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño con células

estándar y FPGA.

4. Descripción de la asignatura y temario

4.1. Descripción de la asignatura

La asignatura Diseño Microelectrónico persigue el objetivo de formar a los alumnos del itinerario de Electrónica en el diseño full-custom de circuitos integrados VLSI. Esta asignatura proporciona un puente entre el diseño de sistemas y las tecnologías, procesos y dispositivos, planteando los requerimientos de los circuitos y sistemas que hacen uso de dichas tecnologías.

Esta asignatura proporciona a los futuros diseñadores de sistemas hardware una visión que cubre desde los aspectos de diseño de sistemas hasta los de trazado físico, pasando por sus circuitos y bloques componentes, fundamentalmente centrados en tecnología CMOS, que es la más utilizada hoy en día para el diseño de circuitos de aplicación. Se asegurará también una introducción básica a las estructuras y procesos tecnológicos necesarios en la labor de diseño de circuitos integrados.

La asignatura se organiza en clases teóricas que se complementan con sesiones prácticas de diseño de circuitos con herramientas profesionales.

4.2. Temario de la asignatura

1. Introducción al diseño de ASICs
2. Transistores: su funcionamiento
 - 2.1. Estructura MOS
 - 2.2. El transistor MOSFET
 - 2.3. Efectos de segundo orden
 - 2.4. Modelo unificado
3. Lógica CMOS
 - 3.1. Inversores
 - 3.2. Lógica de puertas
 - 3.3. Diagramas de barras
 - 3.4. Lógica de conmutación
4. Proceso CMOS
 - 4.1. Proceso CMOS básico
 - 4.2. Reglas de diseño
 - 4.3. Latchup
5. Caracterización del circuito
 - 5.1. Resistencia
 - 5.2. Capacidad
 - 5.3. Retardo
 - 5.4. Excitación de grandes capacidades
 - 5.5. Consumo de potencia
 - 5.6. Optimización
6. Lógica secuencial, temporización y familias lógicas
 - 6.1. Elementos secuenciales: latch y flip-flop
 - 6.2. Temporización
 - 6.3. Familias Lógicas
7. Memorias

- 7.1. RAMs
- 7.2. ROMs
- 8. Diseño semi-custom
 - 8.1. Flujo de diseño semi-custom
 - 8.2. Síntesis
 - 8.3. Diseño físico
- 9. Visión global del circuito integrado
 - 9.1. Entrada/Salida del chip
 - 9.2. Plano de base
 - 9.3. Alternativas de diseño de chips CMOS
 - 9.4. Trazado de circuitos analógicos
 - 9.5. Aspectos económicos
- 10. Test de circuitos integrados / Diseño para test
 - 10.1. Necesidad del test
 - 10.2. Controlabilidad, observabilidad y modelos de fallos
 - 10.3. Estrategias de diseño para test
 - 10.4. Test a nivel de sistema

5. Cronograma

5.1. Cronograma de la asignatura *

| Sem | Actividad en aula | Actividad en laboratorio | Tele-enseñanza | Actividades de evaluación |
|-----|---|---|----------------|--|
| 1 | Tema 1: Introducción al diseño de ASICs Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 2: Transistores: su funcionamiento Duración: 02:00 LM: Actividad del tipo Lección Magistral | | | |
| 2 | Tema 2: Transistores: su funcionamiento Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 2: Transistores: su funcionamiento Duración: 02:00 PR: Actividad del tipo Clase de Problemas | | | |
| 3 | Tema 2: Transistores: su funcionamiento Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 3: Lógica CMOS Duración: 02:00 LM: Actividad del tipo Lección Magistral | | | |
| 4 | Tema 3: Lógica CMOS Duración: 01:00 LM: Actividad del tipo Lección Magistral Tema 4: Proceso CMOS Duración: 02:00 LM: Actividad del tipo Lección Magistral | | | Entrega de ejercicios sobre el funcionamiento de los transistores MOS TI: Técnica del tipo Trabajo Individual Evaluación continua No presencial Duración: 00:00 |
| 5 | Tema 5: Caracterización del circuito Duración: 01:00 LM: Actividad del tipo Lección Magistral | Aprendizaje de la herramienta icfb. Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar. Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio | | |
| 6 | Tema 5: Caracterización del circuito Duración: 01:00 PR: Actividad del tipo Clase de Problemas | | | Examen parcial EX: Técnica del tipo Examen Escrito Evaluación continua Presencial Duración: 02:00 |

| | | | | |
|----|---|--|--|--|
| 7 | <p>Presentación del proyecto Duración: 01:00 OT: Otras actividades formativas</p> | <p>Trazados, DRC, LVS y backannotation. Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p> | | |
| 8 | <p>Tema 5: Caracterización del circuito Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 5: Caracterización del circuito Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p> | | | |
| 9 | <p>Tema 6: Circuitos secuenciales Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 6: Circuitos secuenciales Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> | <p>Parámetros, análisis de corners y análisis estadístico. Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p> | | <p>Primera entrega del proyecto correspondiente a circuitos combinatoriales TG: Técnica del tipo Trabajo en Grupo Evaluación continua Presencial Duración: 00:00</p> |
| 10 | <p>Tema 6: Circuitos secuenciales Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 6: Circuitos secuenciales Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p> | <p>Tema 8: Síntesis lógica con Synopsys. Simulación. Optimización de consumo. Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p> | | |
| 11 | <p>Tema 7: Memorias Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 7: Memorias Duración: 01:00 PR: Actividad del tipo Clase de Problemas</p> | | | <p>Segunda entrega del proyecto correspondiente a circuitos secuenciales TG: Técnica del tipo Trabajo en Grupo Evaluación continua Presencial Duración: 00:00</p> |
| 12 | <p>Tema 7: Memorias Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p> <p>Tema 8: Visión global del circuito integrado Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> | <p>Tema 8: Colocación y rutado con Encounter. Utilización de scripts. Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio</p> | | |
| 13 | <p>Tema 8: Visión global del circuito integrado Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p>Tema 9: Test de circuitos integrados Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> | | | <p>Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL TG: Técnica del tipo Trabajo en Grupo Evaluación continua Presencial Duración: 00:00</p> |
| 14 | <p>Tema 9: Test de circuitos integrados Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p>Repaso. Ejercicios de examen Duración: 02:00 PR: Actividad del tipo Clase de Problemas</p> | | | |

| | | | | |
|----|--|--|--|---|
| 15 | | | | <p>Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas definidas más la parte de visión global del chip</p> <p>TI: Técnica del tipo Trabajo Individual Evaluación sólo prueba final Presencial Duración: 00:00</p> |
| 16 | | | | |
| 17 | | | | <p>Examen final. Sólo segunda parte si se tiene una calificación igual o superior a 4,0 en el examen parcial</p> <p>EX: Técnica del tipo Examen Escrito Evaluación continua Presencial Duración: 03:00</p> <p>Participación en clase a lo largo del curso</p> <p>OT: Otras técnicas evaluativas Evaluación continua Presencial Duración: 00:00</p> <p>Examen final</p> <p>EX: Técnica del tipo Examen Escrito Evaluación sólo prueba final Presencial Duración: 03:00</p> <p>Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip</p> <p>TG: Técnica del tipo Trabajo en Grupo Evaluación continua Presencial Duración: 00:00</p> |

Para el cálculo de los valores totales, se estima que por cada crédito ECTS el alumno dedicará dependiendo del plan de estudios, entre 26 y 27 horas de trabajo presencial y no presencial.

* El cronograma sigue una planificación teórica de la asignatura y puede sufrir modificaciones durante el curso derivadas de la situación creada por la COVID-19.

6. Actividades y criterios de evaluación

6.1. Actividades de evaluación de la asignatura

6.1.1. Evaluación (progresiva)

| Sem. | Descripción | Modalidad | Tipo | Duración | Peso en la nota | Nota mínima | Competencias evaluadas |
|------|--|---|---------------|----------|-----------------|-------------|-----------------------------------|
| 4 | Entrega de ejercicios sobre el funcionamiento de los transistores MOS | TI: Técnica del tipo Trabajo Individual | No Presencial | 00:00 | 5% | 0 / 10 | CE12 |
| 6 | Examen parcial | EX: Técnica del tipo Examen Escrito | Presencial | 02:00 | 20% | 4 / 10 | CE10 |
| 9 | Primera entrega del proyecto correspondiente a circuitos combinacionales | TG: Técnica del tipo Trabajo en Grupo | Presencial | 00:00 | % | 0 / 10 | CT4 CT3 CE12 CE10 |
| 11 | Segunda entrega del proyecto correspondiente a circuitos secuenciales | TG: Técnica del tipo Trabajo en Grupo | Presencial | 00:00 | % | 0 / 10 | CT4 CT3 CE12 CE10 |
| 13 | Tercera entrega del proyecto correspondiente a memorias y el controlador central sintetizado a partir de un código VHDL | TG: Técnica del tipo Trabajo en Grupo | Presencial | 00:00 | % | 0 / 10 | CT4 CT3 CE12 CE10 |
| 17 | Examen final. Sólo segunda parte si se tiene una calificación igual o superior a 4,0 en el examen parcial | EX: Técnica del tipo Examen Escrito | Presencial | 03:00 | 20% | 4 / 10 | CT3 CE12 CE10 |
| 17 | Participación en clase a lo largo del curso | OT: Otras técnicas evaluativas | Presencial | 00:00 | 5% | 0 / 10 | CT4 CT3 CE10 |
| 17 | Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas anteriores más la parte de visión global del chip | TG: Técnica del tipo Trabajo en Grupo | Presencial | 00:00 | 50% | 5 / 10 | CT5 CT4 CT3 CE10 CE11 |

6.1.2. Prueba evaluación global

| Sem | Descripción | Modalidad | Tipo | Duración | Peso en la nota | Nota mínima | Competencias evaluadas |
|-----|---|---|------------|----------|-----------------|-------------|-----------------------------------|
| 15 | Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas definidas más la parte de visión global del chip | TI: Técnica del tipo Trabajo Individual | Presencial | 00:00 | 50% | 5 / 10 | CT5 CT4 CT3 CE10 CE11 |
| 17 | Examen final | EX: Técnica del tipo Examen Escrito | Presencial | 03:00 | 50% | 4 / 10 | CT3 CE12 CE10 |

6.1.3. Evaluación convocatoria extraordinaria

| Descripción | Modalidad | Tipo | Duración | Peso en la nota | Nota mínima | Competencias evaluadas |
|----------------|--|------------|----------|-----------------|-------------|---|
| Proyecto final | PI: Técnica del tipo Presentación Individual | Presencial | 00:00 | 50% | 5 / 10 | CT5 CT4 CT3 CE12 CE10 CE11 |
| Examen final | EX: Técnica del tipo Examen Escrito | Presencial | 03:00 | 50% | 4 / 10 | CT3 CE12 CE10 |

6.2. Criterios de evaluación

La calificación final de la asignatura, en evaluación continua, se realizará a través de tres evaluaciones:

- Primer examen escrito (parcial): se libera el 25% de la materia si se tiene una calificación igual o superior a 4,0. En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Segundo examen escrito (25%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase. Se puede evaluar de nuevo la primera parte de la asignatura si el alumno no tuvo en el parcial una calificación igual o superior a 4,0.
- Entrega de trabajos prácticos y ejercicios (40%).
- Participación en clase y entregas teóricas (10%).

En convocatoria ordinaria, los alumnos serán evaluados por defecto mediante evaluación continua. No obstante, los alumnos que lo deseen podrán ser evaluados por la opción sólo prueba final, siempre y cuando lo comuniquen al Coordinador de la Asignatura mediante correo electrónico enviado antes de la fecha de entrega de la primera entrega del proyecto, en la semana 7. En esta opción, el alumnado tiene acceso libre al laboratorio y la calificación se otorgará en función de dos evaluaciones:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (50%). Es el mismo proyecto que en la versión de evaluación continua.

En convocatoria extraordinaria, los alumnos serán evaluados en función de dos pruebas:

- Un examen escrito (50%). En él el alumno, con o sin la utilización de textos de consulta o apuntes según los casos, deberá resolver problemas, diseños o cuestiones basados en los aspectos desarrollados en clase.
- Entrega de la memoria y los ficheros del proyecto final (50%). Es el mismo proyecto que en la versión de evaluación continua.

7. Recursos didácticos

7.1. Recursos didácticos de la asignatura

| Nombre | Tipo | Observaciones |
|--|--------------|---------------|
| CMOS VLSI Design: A circuits and Systems Perspective N. Weste, D. Harris (Libro de referencia). Pearson Addison Wesley 2005. | Bibliografía | |
| "Digital Integrated Circuits", Rabaey, J.M. Prentice Hall, 1996 | Bibliografía | |

| | | |
|--|--------------|--|
| Introduction to VLSI Systems: A Logic, Circuit, and System Perspective Ming-Bo Lin. CRC Press. 2011 | Bibliografía | |
|--|--------------|--|