



UNIVERSIDAD
POLITÉCNICA
DE MADRID

PROCESO DE
COORDINACIÓN DE LAS
ENSEÑANZAS PR/CL/001



E.T.S. de Ingenieros
Industriales

ANX-PR/CL/001-01

GUÍA DE APRENDIZAJE

ASIGNATURA

55000104 - Electronica Digital

PLAN DE ESTUDIOS

05TI - Grado En Ingeniería En Tecnologías Industriales

CURSO ACADÉMICO Y SEMESTRE

2025/26 - Primer semestre

Índice

Guía de Aprendizaje

1. Datos descriptivos.....	1
2. Profesorado.....	1
3. Conocimientos previos recomendados.....	2
4. Competencias y resultados de aprendizaje.....	3
5. Descripción de la asignatura y temario.....	4
6. Cronograma.....	5
7. Actividades y criterios de evaluación.....	7
8. Recursos didácticos.....	10

1. Datos descriptivos

1.1. Datos de la asignatura

Nombre de la asignatura	55000104 - Electronica Digital
No de créditos	3 ECTS
Carácter	Optativa
Curso	Cuarto curso
Semestre	Séptimo semestre
Período de impartición	Septiembre-Enero
Idioma de impartición	Castellano
Titulación	05TI - Grado en Ingeniería en Tecnologías Industriales
Centro responsable de la titulación	05 - E.T.S. De Ingenieros Industriales
Curso académico	2025-26

2. Profesorado

2.1. Profesorado implicado en la docencia

Nombre	Despacho	Correo electrónico	Horario de tutorías *
Jose Andres Otero Marnotes (Coordinador/a)		joseandres.otero@upm.es	L - 08:00 - 08:15
Jorge Portilla Berrueco		jorge.portilla@upm.es	Sin horario.

* Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

2.2. Personal investigador en formación o similar

Nombre	Correo electrónico	Profesor responsable
Gallego Roman, Juan	j.gallegor@upm.es	Otero Marnotes, Jose Andres

2.3. Profesorado externo

Nombre	Correo electrónico	Centro de procedencia
Juan Granja	juan.granja@upm.es	Centro de Electrónica Industrial - UPM
Luis Waucquez	luis.waucquez.jimenez@upm.es	Centro de Electrónica Industrial - UPM

3. Conocimientos previos recomendados

3.1. Asignaturas previas que se recomienda haber cursado

- Fundamentos De Programacion
- Fundamentos De Electronica

3.2. Otros conocimientos previos recomendados para cursar la asignatura

El plan de estudios Grado en Ingeniería en Tecnologías Industriales no tiene definidos otros conocimientos previos para esta asignatura.

4. Competencias y resultados de aprendizaje

4.1. Competencias

CE21A - Conocimiento de los fundamentos y aplicaciones de la electrónica digital y microprocesadores.

CE24A - Capacidad para diseñar sistemas electrónicos analógicos, digitales y de potencia.

CG1 - Conocer y aplicar conocimientos de ciencias y tecnologías básicas a la práctica de la Ingeniería Industrial.

CG10 - Capacidad para generar nuevas ideas (Creatividad).

CG2 - Poseer capacidad para diseñar, desarrollar, implementar, gestionar y mejorar productos, sistemas y procesos en los distintos ámbitos industriales, usando técnicas analíticas, computacionales o experimentales apropiadas.

CG3 - Aplicar los conocimientos adquiridos para identificar, formular y resolver problemas dentro de contextos amplios y multidisciplinares, siendo capaces de integrar conocimientos, trabajando en equipos multidisciplinares.

CG5 - Saber comunicar los conocimientos y conclusiones, de forma oral, escrita y gráfica, a públicos especializados y no especializados de un modo claro y sin ambigüedades.

CG6 - Poseer habilidades de aprendizaje que permitan continuar estudiando a lo largo de la vida para su adecuado desarrollo profesional.

CG7 - Incorporar nuevas tecnologías y herramientas de la Ingeniería Industrial en sus actividades profesionales.

CG9 - Organización y planificación en el ámbito de la empresa, y otras instituciones y organizaciones de proyectos y equipos humanos.

4.2. Resultados del aprendizaje

RA8 - Capacidad y habilidades para diseñar circuitos digitales de complejidad intermedia, a partir de bloques funcionales conocidos, combinados con máquinas de estados.

RA9 - Adquirir criterios para seleccionar las diferentes posibilidades tecnológicas de implementación de circuitos

5. Descripción de la asignatura y temario

5.1. Descripción de la asignatura

La asignatura cubre los aspectos principales del diseño de sistemas digitales empleando para ello un Lenguaje de Descripción Hardware (VHDL). Se estudiarán tanto el diseño de circuitos combinacionales como el de circuitos secuenciales síncronos. Se verán también tecnologías de implementación de circuitos digitales, y los primeros conceptos de arquitecturas de sistemas digitales, que servirán de enlace a asignaturas posteriores.

5.2. Temario de la asignatura

1. Introducción a los Sistemas Digitales
2. Diseño Digital con Lenguajes de descripción Hardware (VHDL)
3. Diseño de Circuitos Combinacionales
4. Diseño de Circuitos Secuenciales Síncronos
5. Síntesis de Circuitos Secuenciales Síncronos
6. Implementación física
7. Arquitectura de sistemas digitales

6. Cronograma

6.1. Cronograma de la asignatura *

Sem	Actividad tipo 1	Actividad tipo 2	Tele-enseñanza	Actividades de evaluación
1	Introducción a los Sistemas Digitales Duración: 00:30 LM: Actividad del tipo Lección Magistral Lenguajes de descripción Hardware (I). Introducción al VHDL Estructura del código VHDL Conceptos y Sintaxis Básica Duración: 02:00 LM: Actividad del tipo Lección Magistral			
2	Lenguajes de descripción Hardware (II). Tipos de datos y operadores. Concepto de concurrencia y modelo de simulación. Modelado Estructural y Comportamental Duración: 02:30 LM: Actividad del tipo Lección Magistral	Práctica 1. Introducción a Vivado Implementación de bloques básicos: Decodificación BCD a 7 segmentos. Realización de simulaciones Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación Práctica 1 EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva Presencial Duración: 00:15
3	Diseño de Circuitos Combinacionales (I). Bloques funcionales: Multiplexores, Decodificadores y circuitos aritméticos. Duración: 02:30 LM: Actividad del tipo Lección Magistral			
4	Diseño de Circuitos Combinacionales (II). Implementación VHDL: Asignaciones condicionales a señal Diseño de bancos de prueba (test bench) Duración: 02:30 LM: Actividad del tipo Lección Magistral	Práctica 2 de laboratorio. Diseño con bloques secuenciales. Diseño con bloques secuenciales: reloj digital Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación Práctica 2 EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva Presencial Duración: 00:15
5	Circuitos Secuenciales (I). Bloques funcionales: Biestable, registros, contadores, y registros de desplazamiento. Duración: 02:30 LM: Actividad del tipo Lección Magistral	Práctica 3. Diseño con bloques secuenciales II: el coche fantástico Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación Práctica 3 EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva Presencial Duración: 00:15
6	Circuitos Secuenciales (II). Implementación VHDL: procesos. Duración: 02:30 LM: Actividad del tipo Lección Magistral	Práctica 4. Diseño con máquinas de estado: la cerradura electrónica Duración: 02:30 PL: Actividad del tipo Prácticas de Laboratorio		Evaluación Práctica 4 EP: Técnica del tipo Examen de Prácticas Evaluación Progresiva Presencial Duración: 00:15 Examen de VHDL EX: Técnica del tipo Examen Escrito Evaluación Progresiva y Global Presencial Duración: 02:00

7	Síntesis de Circuitos Secuenciales Sincronos (I). Diseño con máquinas de estado. Máquinas Mealy y Moore. Duración: 02:30 LM: Actividad del tipo Lección Magistral			
8	Síntesis de Circuitos Secuenciales Sincronos (II). Clase de Problemas Duración: 02:30 LM: Actividad del tipo Lección Magistral			
9	Síntesis de Circuitos Secuenciales (III). Implementación de máquinas de estado. Descripción VHDL de Máquinas de Estado Duración: 02:30 LM: Actividad del tipo Lección Magistral			
10	Implementación Física (I). Repaso de tecnología CMOS: fan-in, fan-out, parámetros de funcionamiento del circuito. Duración: 02:30 LM: Actividad del tipo Lección Magistral			
11	Implementación Física (II). Memorias. FPGAs Duración: 02:30 LM: Actividad del tipo Lección Magistral			
12	Arquitectura de Sistemas Digitales. Concepto de Camino de Datos y Camino de Control Arquitectura Mínima de una CPU Duración: 02:30 LM: Actividad del tipo Lección Magistral			
13				Revisión del trabajo TG: Técnica del tipo Trabajo en Grupo Evaluación Progresiva Presencial Duración: 01:00
14				
15				
16				
17				Examen final. EX: Técnica del tipo Examen Escrito Evaluación Progresiva Presencial Duración: 02:00

Para el cálculo de los valores totales, se estima que por cada crédito ECTS el alumno dedicará dependiendo del plan de estudios, entre 26 y 27 horas de trabajo presencial y no presencial.

7. Actividades y criterios de evaluación

7.1. Actividades de evaluación de la asignatura

7.1.1. Evaluación (progresiva)

Sem.	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
2	Evaluación Práctica 1	EP: Técnica del tipo Examen de Prácticas	Presencial	00:15	2.5%	/ 10	CG1 CG2 CG3 CG5 CG6 CG7 CG9 CG10 CE21A CE24A
4	Evaluación Práctica 2	EP: Técnica del tipo Examen de Prácticas	Presencial	00:15	2.5%	/ 10	CG1 CG2 CG3 CG5 CG6 CG7 CG9 CG10 CE21A CE24A
5	Evaluación Práctica 3	EP: Técnica del tipo Examen de Prácticas	Presencial	00:15	2.5%	/ 10	CG3 CG5 CG1 CG2 CG6 CG7 CG9 CG10 CE21A CE24A
6	Evaluación Práctica 4	EP: Técnica del tipo Examen de Prácticas	Presencial	00:15	2.5%	/ 10	CG1 CG2 CG3 CG5 CG6 CG7 CG9 CG10 CE21A

							CE24A
6	Examen de VHDL	EX: Técnica del tipo Examen Escrito	Presencial	02:00	20%	/ 10	CG1 CG2 CG3 CG5 CG6 CG7 CG9 CG10 CE21A CE24A
13	Revisión del trabajo	TG: Técnica del tipo Trabajo en Grupo	Presencial	01:00	30%	/ 10	CG1 CG2 CG3 CG5 CG6 CG7 CG9 CG10 CE21A CE24A
17	Examen final.	EX: Técnica del tipo Examen Escrito	Presencial	02:00	40%	4 / 10	CG3 CG5 CG6 CG7 CG9 CG10 CE21A CE24A CG1 CG2

7.1.2. Prueba evaluación global

Sem	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
6	Examen de VHDL	EX: Técnica del tipo Examen Escrito	Presencial	02:00	20%	/ 10	CG1 CG2 CG3 CG5 CG6 CG7 CG9 CG10 CE21A CE24A

7.1.3. Evaluación convocatoria extraordinaria

Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
Examen de VHDL. Optativo	EX: Técnica del tipo Examen Escrito	Presencial	02:00	30%	/ 10	
Examen final. Parte Ev. obligatoria	EX: Técnica del tipo Examen Escrito	Presencial	02:00	40%	4 / 10	
Revisión del trabajo. Optativo	TG: Técnica del tipo Trabajo en Grupo	Presencial	01:00	30%	/ 10	

7.2. Criterios de evaluación

Para la evaluación ordinaria:

- El examen de VHDL (20%), que será realizado en la primera semana de PECs, tiene carácter obligatorio. **No podrá ser recuperado en el examen final.**
- El trabajo (30%) se evalúa mediante una revisión de una hora por cada grupo de alumnos, en la que presentan el trabajo de cara a evaluar creatividad y expresión oral, fundamentalmente. Es posible mejorar la nota en función de la creatividad y sencillez y originalidad del diseño. También tiene carácter obligatorio, y **no podrá recuperarse en el examen final.** El trabajo tiene una nota por alumno que no tiene que ser necesariamente igual para todos los alumnos del grupo. La nota del trabajo puede mejorarse para la convocatoria extraordinaria. La nota del trabajo se puede guardar de un curso, al curso siguiente.
- Las prácticas de laboratorio **son obligatorias** (10%), tanto en la evaluación progresiva como en la global. La asistencia a prácticas se puede guardar de un curso al siguiente. La nota obtenida tampoco puede recuperarse en el examen final.
- El examen final sólo incluirá aspectos de teoría, y no descripción en VHDL, ya evaluada en las otras actividades. Esta parte tiene una nota mínima de 4, y es la única que no se guarda para la convocatoria de Julio.

A modo de resumen, la nota en la convocatoria ordinaria será 2,5% por cada una de las cuatro prácticas (10% en total), 20% para la PEC, 30% Para el trabajo práctico, y 40% el examen final (nota mínima de cuatro).

Para la evaluación extraordinaria:

- Independientemente de la nota obtenida en la convocatoria ordinaria, todos los alumnos deberán repetir el examen de teoría, que es el único que no se guarda.
- Pueden, voluntariamente, repetir o mejorar el trabajo, para subir nota. Si no lo hacen, se mantendrá la nota que obtuvieran en la ordinaria.
- Pueden, voluntariamente, repetir la PEC. Dicha prueba se hará a continuación del examen final. Es necesario informar antes de empezar la prueba final si se desea examinarse de la parte de VHDL. Si se repite la prueba se está renunciando a la nota obtenida en la ordinaria. Si no se repite, la nota final se calculará con la nota obtenida en la ordinaria.

8. Recursos didácticos

8.1. Recursos didácticos de la asignatura

Nombre	Tipo	Observaciones
Transparencias de clase	Recursos web	Transparencias de clase
Placas y SW de diseño con FPGAs	Equipamiento	Placas de desarrollo FPGA para trabajos y prácticas de laboratorio
SW de diseño versión estudiante	Otros	Misma versión que el SW usado en el laboratorio, pero en versión estudiante
Weblab	Recursos web	Laboratorio remoto de uso de las placas de FPGA mediante interfaz web
Videotutoriales de prácticas	Otros	Videos con las prácticas y el manejo de las herramientas de diseño