



UNIVERSIDAD
POLITÉCNICA
DE MADRID

PROCESO DE
COORDINACIÓN DE LAS
ENSEÑANZAS PR/CL/001



E.T.S. de Ingenieros
Industriales

ANX-PR/CL/001-01

GUÍA DE APRENDIZAJE

ASIGNATURA

53001644 - Embedded Processing Architectures

PLAN DE ESTUDIOS

05BI - Doble Master Universitario Ingeniería Industrial - Electronica Industrial

CURSO ACADÉMICO Y SEMESTRE

2025/26 - Segundo semestre

Índice

Guía de Aprendizaje

1. Datos descriptivos.....	1
2. Profesorado.....	1
3. Conocimientos previos recomendados.....	2
4. Competencias y resultados de aprendizaje.....	2
5. Descripción de la asignatura y temario.....	4
6. Cronograma.....	6
7. Actividades y criterios de evaluación.....	8
8. Recursos didácticos.....	10

1. Datos descriptivos

1.1. Datos de la asignatura

Nombre de la asignatura	53001644 - Embedded Processing Architectures
No de créditos	3 ECTS
Carácter	Optativa
Curso	Segundo curso
Semestre	Cuarto semestre
Período de impartición	Febrero-Junio
Idioma de impartición	Inglés/Castellano
Titulación	05BI - Doble Master Universitario Ingeniería Industrial - Electronica Industrial
Centro responsable de la titulación	05 - E.T.S. De Ingenieros Industriales
Curso académico	2025-26

2. Profesorado

2.1. Profesorado implicado en la docencia

Nombre	Despacho	Correo electrónico	Horario de tutorías *
Alfonso Rodriguez Medina (Coordinador/a)	UD Electrónica	alfonso.rodriguez@upm.es	Sin horario. Please send an email to arrange a meeting

* Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

2.2. Personal investigador en formación o similar

Nombre	Correo electrónico	Profesor responsable
Encinas Anchustegui, Juan	juan.encinas@upm.es	Rodriguez Medina, Alfonso

3. Conocimientos previos recomendados

3.1. Asignaturas previas que se recomienda haber cursado

El plan de estudios Doble Master Universitario Ingeniería Industrial - Electronica Industrial no tiene definidas asignaturas previas recomendadas para esta asignatura.

3.2. Otros conocimientos previos recomendados para cursar la asignatura

- Generic knowledge of microprocessor/microcontroller programming
- Basic computer architecture background

4. Competencias y resultados de aprendizaje

4.1. Competencias

MUEI.CB06 - Poseer y comprender conocimientos que aporten una base u oportunidad de ser originales en el desarrollo y/o aplicación de ideas, a menudo en un contexto de investigación

MUEI.CB09 - Que los estudiantes sepan comunicar sus conclusiones y los conocimientos y razones últimas que las sustentan a públicos especializados y no especializados de un modo claro y sin ambigüedades

MUEI.CE01 - Comprender, diseñar y analizar sistemas y componentes electrónicos en el ámbito de la electrónica industrial. Modelización y caracterización de sistemas electrónicos complejos.

MUEI.CE04 - Utilización de herramientas CAD para la simulación, modelado y diseño de circuitos electrónicos industriales con altas prestaciones y/o restricciones.

MUEI.CT01 - Uso de la lengua inglesa

MUII. (b) - EXPERIMENTA Habilidad para diseñar y realizar experimentos así como analizar e interpretar datos.

MUII. (c) - DISEÑA Habilidad para diseñar un sistema, componente o proceso que alcance los requisitos deseados teniendo en cuenta

MUII. (e) - RESUELVE. Habilidad para identificar, formular y resolver problemas de ingeniería.

MUII. (g) - COMUNICA Habilidad para comunicar eficazmente.

MUII. (k) - USA HERRAMIENTAS. Habilidad para usar las técnicas, destrezas y herramientas ingenieriles modernas necesarias para la práctica de la ingeniería.

MUII. (l) - ES BILINGÜE. Capacidad de trabajar en un entorno bilingüe

MUII.CB06 - Poseer y comprender conocimientos que aporten una base u oportunidad de ser originales en el desarrollo y/o aplicación de ideas, a menudo en un contexto de investigación

MUII.CB09 - Que los estudiantes sepan comunicar sus conclusiones y los conocimientos y razones últimas que las sustentan a públicos especializados y no especializados de un modo claro y sin ambigüedades

MUII.CG10 - Saber comunicar las conclusiones ¿y los conocimientos y razones últimas que las sustentan¿ a públicos especializados y no especializados de un modo claro y sin ambigüedades.

4.2. Resultados del aprendizaje

RA87 - Comprender los mecanismos de procesamiento avanzado y procesamiento paralelo

RA20 - Discusión y justificación del planteamiento de soluciones alternativas

RA7 - Identificar, analizar, e interpretar los datos del problema planteado por el profesor

5. Descripción de la asignatura y temario

5.1. Descripción de la asignatura

This subject is focused as an architectural approach towards more performing processing architectures. Nowadays, there is a paradigmatic change from single processing architectures to multiple processor / multiple core approaches. There is no way to increase performance with just a single core, and so, other alternatives are required.

We are assuming students have basic knowledge of microprocessor programming and basic architectures. Taking this as the starting point, we first review ways of improving performance by means of enhanced architectures, improved from the point of view of internal bus arrangements, load/store operations, RISC instruction set coding, and, later, pipelining and memory hierarchy are reviewed in detailed. All these approaches are done quantitatively and trading cost vs performance (following the widespread theories from Patterson and Hennesy),

Once it is shown that there are no further ways to improve performance with single core architectures, we move to multi-core and many-core approaches. Here, the problem is not only architectural, but also it has an impact on how to program and synchronize this type of systems. Therefore, this part contains an interleaved scheme where architectures are reviewed and then, ways of programming them are explained and practiced.

In this regard, multi-core (shared memory or distributed memory) programming is covered with pthreads and OpenMP, many-core (e.g., GPU) system programming is covered with OpenCL. The course also addresses the appearance of domain-specific architectures (e.g., Tensor Processing Units) and the methods to program them (e.g., TensorFlow).

5.2. Temario de la asignatura

1. Computer Architecture Basics
2. Memory Hierarchy in Computing Systems
3. Parallelism in Computing Systems
 - 3.1. Instruction-Level Parallelism
 - 3.2. Thread-Level Parallelism & Multi-Core Architectures
 - 3.3. Data-Level Parallelism & Many-Core Architectures
4. Domain-Specific Computing

6. Cronograma

6.1. Cronograma de la asignatura *

Sem	Actividad tipo 1	Actividad tipo 2	Tele-enseñanza	Actividades de evaluación
1	Course Introduction + Computer Architecture Basics (I) Duración: 02:00 LM: Actividad del tipo Lección Magistral			
2	Computer Architecture Basics (II) Duración: 02:00 LM: Actividad del tipo Lección Magistral			
3	Computer Architecture Basics (III) + Memory Hierarchy (I) Duración: 02:00 LM: Actividad del tipo Lección Magistral			
4	Memory Hierarchy (II) Duración: 02:00 LM: Actividad del tipo Lección Magistral			
5		LAB on Memory Hierarchy (gem5) Duración: 02:00 AIV: Aula invertida		Project #1: gem5 system simulation TG: Técnica del tipo Trabajo en Grupo Evaluación Progresiva y Global No presencial Duración: 06:00
6	Instruction-Level Parallelism Duración: 02:00 LM: Actividad del tipo Lección Magistral			
7	Thread-Level Parallelism and Multi-Core Architectures Duración: 02:00 LM: Actividad del tipo Lección Magistral			
8		LAB on Multi-Core Programming (pthreads) Duración: 02:00 AIV: Aula invertida		Project #2: pthread programming TG: Técnica del tipo Trabajo en Grupo Evaluación Progresiva y Global No presencial Duración: 06:00
9		LAB on Multi-Core Programming (OpenMP) Duración: 02:00 AIV: Aula invertida		Project #3: OpenMP programming TG: Técnica del tipo Trabajo en Grupo Evaluación Progresiva y Global No presencial Duración: 06:00
10		LAB on Multi-Core Programming (MPI) Duración: 02:00 AIV: Aula invertida		Project #4: MPI programming TG: Técnica del tipo Trabajo en Grupo Evaluación Progresiva y Global No presencial Duración: 06:00

11	Data-Level Parallelism and Many-Core Architectures Duración: 02:00 LM: Actividad del tipo Lección Magistral			
12		LAB on Many-Core Architectures (OpenCL) Duración: 02:00 AIV: Aula invertida		Project #5: OpenCL programming TG: Técnica del tipo Trabajo en Grupo Evaluación Progresiva y Global No presencial Duración: 06:00
13	Domain-Specific Architectures Duración: 02:00 LM: Actividad del tipo Lección Magistral			
14		LAB on Domain-Specific Architectures Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
15				
16				
17				Final written exam EX: Técnica del tipo Examen Escrito Evaluación Progresiva y Global Presencial Duración: 02:00

Para el cálculo de los valores totales, se estima que por cada crédito ECTS el alumno dedicará dependiendo del plan de estudios, entre 26 y 27 horas de trabajo presencial y no presencial.

7. Actividades y criterios de evaluación

7.1. Actividades de evaluación de la asignatura

7.1.1. Evaluación (progresiva)

Sem.	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
5	Project #1: gem5 system simulation	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
8	Project #2: pthread programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
9	Project #3: OpenMP programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
10	Project #4: MPI programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
12	Project #5: OpenCL programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
17	Final written exam	EX: Técnica del tipo Examen Escrito	Presencial	02:00	50%	5 / 10	MUII.CB06 MUII.CB09 MUII.CG10 MUII. (l) MUEI.CB06 MUEI.CB09 MUEI.CT01

7.1.2. Prueba evaluación global

Sem	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
5	Project #1: gem5 system simulation	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
8	Project #2: pthread programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
9	Project #3: OpenMP programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
10	Project #4: MPI programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
12	Project #5: OpenCL programming	TG: Técnica del tipo Trabajo en Grupo	No Presencial	06:00	10%	/ 10	MUII. (e) MUII. (k) MUII. (l) MUEI.CT01 MUII. (b) MUII. (g)
17	Final written exam	EX: Técnica del tipo Examen Escrito	Presencial	02:00	50%	5 / 10	MUII.CB06 MUII.CB09 MUII.CG10 MUII. (l) MUEI.CB06 MUEI.CB09 MUEI.CT01

7.1.3. Evaluación convocatoria extraordinaria

No se ha definido la evaluación extraordinaria.

7.2. Criterios de evaluación

The score is based on:

Final exam - 50%

Practical projects - 50%

8. Recursos didácticos

8.1. Recursos didácticos de la asignatura

Nombre	Tipo	Observaciones
Computer Architecture: A Quantitative Approach (6th edition)	Bibliografía	John L. Hennessy & David A. Patterson, Morgan Kaufmann, 2017
Computer Organization and Design: The Hardware Software Interface (2nd RISC-V edition)	Bibliografía	David A. Patterson & John L. Hennessy, Morgan Kaufmann, 2020