



UNIVERSIDAD
POLITÉCNICA
DE MADRID

PROCESO DE
COORDINACIÓN DE LAS
ENSEÑANZAS PR/CL/001



E.T.S. de Ingenieros
Industriales

ANX-PR/CL/001-01

GUÍA DE APRENDIZAJE

ASIGNATURA

53001646 - High Level Description Of Systems

PLAN DE ESTUDIOS

05BI - Doble Master Universitario Ingeniería Industrial - Electronica Industrial

CURSO ACADÉMICO Y SEMESTRE

2025/26 - Segundo semestre

Índice

Guía de Aprendizaje

1. Datos descriptivos.....	1
2. Profesorado.....	1
3. Conocimientos previos recomendados.....	2
4. Competencias y resultados de aprendizaje.....	3
5. Descripción de la asignatura y temario.....	3
6. Cronograma.....	5
7. Actividades y criterios de evaluación.....	7
8. Recursos didácticos.....	9

1. Datos descriptivos

1.1. Datos de la asignatura

Nombre de la asignatura	53001646 - High Level Description Of Systems
No de créditos	3 ECTS
Carácter	Optativa
Curso	Segundo curso
Semestre	Cuarto semestre
Período de impartición	Febrero-Junio
Idioma de impartición	Inglés/Castellano
Titulación	05BI - Doble Master Universitario Ingeniería Industrial - Electronica Industrial
Centro responsable de la titulación	05 - E.T.S. De Ingenieros Industriales
Curso académico	2025-26

2. Profesorado

2.1. Profesorado implicado en la docencia

Nombre	Despacho	Correo electrónico	Horario de tutorías *
Jose Andres Otero Marnotes (Coordinador/a)		joseandres.otero@upm.es	Sin horario. Sin horario. Disponibile para tutorías cualquier día de la semana, en el horario de trabajo habitual. El horario de la tutoria será acordado vía

			email.
Jose Angel Miranda Calero		jose.miranda@upm.es	Sin horario.

* Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

2.3. Profesorado externo

Nombre	Correo electrónico	Centro de procedencia
Rodrigo Olmos	rodrigo.olmos@upm.es	Centro de Electrónica Industrial - UPM
Juan Granja	juan.granja@upm.es	Centro de Electrónica Industrial - UPM

3. Conocimientos previos recomendados

3.1. Asignaturas previas que se recomienda haber cursado

El plan de estudios Doble Master Universitario Ingeniería Industrial - Electronica Industrial no tiene definidas asignaturas previas recomendadas para esta asignatura.

3.2. Otros conocimientos previos recomendados para cursar la asignatura

- VHDL / Verilog
- Basic programming
- Digital system design
- C/C++

4. Competencias y resultados de aprendizaje

4.1. Competencias

MUEI.CE02 - Ser capaz de desarrollar un proyecto de diseño de un sistema electrónico, identificando sus principales retos, en ámbitos de aplicación tales como el aeroespacial, la automoción, la ingeniería médica, las energías renovables o las comunicaciones.

MUEI.CE04 - Utilización de herramientas CAD para la simulación, modelado y diseño de circuitos electrónicos industriales con altas prestaciones y/o restricciones.

MUEI.CG04 - Ser capaces de predecir y controlar la evolución de situaciones complejas mediante el desarrollo de nuevas e innovadoras metodologías de trabajo adaptadas al ámbito científico/investigador, tecnológico o profesional concreto, en general multidisciplinar, en el que se desarrolle su actividad.

MUEI.CG07 - Ser capaces de asumir la responsabilidad de su propio desarrollo profesional y de su especialización en uno o más campos de estudio.

MUII.CE07 - Capacidad para diseñar sistemas electrónicos y de instrumentación industrial.

4.2. Resultados del aprendizaje

RA60 - Resolver problemas electrónicos con circuitos y sensores reales.

5. Descripción de la asignatura y temario

5.1. Descripción de la asignatura

This course is intended to introduce the students into system-level design techniques and optimization of hardware implementation of digital electronic systems.

The topics covered in the subject go from the languages and tools for system-level design to the implementation of accelerators using high-level synthesis from algorithmic descriptions. Model-based design with matlab/simulink is also included.

The practical part will be done using Xilinx tools like Vivado HLS and implementation in SoPC like ZynQ. We will also use a specific C++ compiler for SystemC descriptions.

5.2. Temario de la asignatura

1. Course Overview
2. High-Level Synthesis of Algorithms
 - 2.1. Introduction to Algorithmic Synthesis
 - 2.2. General Procedure: Scheduling, Binding and Mapping
 - 2.3. Design Space Exploration and Trade-offs
 - 2.4. Hardware Optimizations with HLS
 - 2.5. Tutorials with Vivado HLS
3. Model-Based Design
 - 3.1. Model-Based Design Principles
 - 3.2. Model Based Design with Simulink
4. System-level Design and Validation
 - 4.1. Hardware / Software Codesign
 - 4.2. System Level Design with System Verilog
 - 4.3. System Validation with SystemVerilog

6. Cronograma

6.1. Cronograma de la asignatura *

Sem	Actividad tipo 1	Actividad tipo 2	Tele-enseñanza	Actividades de evaluación
1	Course Overview Duración: 01:00 LM: Actividad del tipo Lección Magistral Introduction to Algorithmic Synthesis Duración: 01:00 LM: Actividad del tipo Lección Magistral			
2	Scheduling, Binding and Mapping Duración: 02:00 LM: Actividad del tipo Lección Magistral			
3	Scheduling, Binding and Mapping Duración: 02:00 LM: Actividad del tipo Lección Magistral			Homework of Scheduling, Allocation and Binding TI: Técnica del tipo Trabajo Individual Evaluación Progresiva y Global No presencial Duración: 04:00
4	Design Space Exploration and Trade-offs Duración: 02:00 LM: Actividad del tipo Lección Magistral			
5	Hardware Optimizations with HLS Duración: 02:00 LM: Actividad del tipo Lección Magistral			
6		Lab 1: Introduction to Vivado HLS Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
7		Lab 2: Design Optimization in Vivado HLS Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
8		Lab 3: Optimized design of FIR filters with HLS Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Homework of HLS PG: Técnica del tipo Presentación en Grupo Evaluación Progresiva y Global Presencial Duración: 06:00
9		Lab 4: Optimizing Matrix Multiplications in Vivado HLS Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		

10	Model-based Design Duración: 02:00 LM: Actividad del tipo Lección Magistral			
11		Lab 4: Model-based Design with Matlab / Simulink Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
12	System-Level Design with SystemVerilog Duración: 02:00 LM: Actividad del tipo Lección Magistral			
13		Lab5: Introduction to SystemVerilog Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		
14		Lab 6: Software / Hardware Partitioning with SystemVerilog Duración: 02:00 PL: Actividad del tipo Prácticas de Laboratorio		Homework of SystemVerilog TI: Técnica del tipo Trabajo Individual Evaluación Progresiva y Global Presencial Duración: 02:00
15				Final Exam EX: Técnica del tipo Examen Escrito Evaluación Progresiva y Global No presencial Duración: 02:00
16				
17				

Para el cálculo de los valores totales, se estima que por cada crédito ECTS el alumno dedicará dependiendo del plan de estudios, entre 26 y 27 horas de trabajo presencial y no presencial.

7. Actividades y criterios de evaluación

7.1. Actividades de evaluación de la asignatura

7.1.1. Evaluación (progresiva)

Sem.	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
3	Homework of Scheduling, Allocation and Binding	TI: Técnica del tipo Trabajo Individual	No Presencial	04:00	10%	/ 10	MUII.CE07 MUEI.CG04 MUEI.CG07 MUEI.CE02 MUEI.CE04
8	Homework of HLS	PG: Técnica del tipo Presentación en Grupo	Presencial	06:00	20%	5 / 10	MUII.CE07 MUEI.CG04 MUEI.CG07 MUEI.CE02 MUEI.CE04
14	Homework of SystemVerilog	TI: Técnica del tipo Trabajo Individual	Presencial	02:00	20%	5 / 10	MUII.CE07 MUEI.CG04 MUEI.CG07 MUEI.CE02 MUEI.CE04
15	Final Exam	EX: Técnica del tipo Examen Escrito	No Presencial	02:00	50%	4 / 10	MUEI.CG04 MUEI.CE02

7.1.2. Prueba evaluación global

Sem	Descripción	Modalidad	Tipo	Duración	Peso en la nota	Nota mínima	Competencias evaluadas
3	Homework of Scheduling, Allocation and Binding	TI: Técnica del tipo Trabajo Individual	No Presencial	04:00	10%	/ 10	MUII.CE07 MUEI.CG04 MUEI.CG07 MUEI.CE02 MUEI.CE04
8	Homework of HLS	PG: Técnica del tipo Presentación en Grupo	Presencial	06:00	20%	5 / 10	MUII.CE07 MUEI.CG04 MUEI.CG07 MUEI.CE02 MUEI.CE04

14	Homework of SystemVerilog	TI: Técnica del tipo Trabajo Individual	Presencial	02:00	20%	5 / 10	MUII.CE07 MUEI.CG04 MUEI.CG07 MUEI.CE02 MUEI.CE04
15	Final Exam	EX: Técnica del tipo Examen Escrito	No Presencial	02:00	50%	4 / 10	MUEI.CG04 MUEI.CE02

7.1.3. Evaluación convocatoria extraordinaria

No se ha definido la evaluación extraordinaria.

7.2. Criterios de evaluación

This subject will be evaluated based on the following aspects:

1. A homework problem that the students will have to provide and discuss in the class (individual)
2. A practical work implementing Different Algorithms by means of High Level Synthesis Tools (team work)
3. A practical work implementing a simple Algorithm by means of Simulink (team work)
4. A practical work modeling a basic Software / Hardware System with SystemVerilog (team work)
5. A Final Exam covering the whole subject (individual)

8. Recursos didácticos

8.1. Recursos didácticos de la asignatura

Nombre	Tipo	Observaciones
Papers	Bibliografía	
Xilinx Tools (Vivado)	Equipamiento	
PynQ boards	Equipamiento	
slides for the classes	Bibliografía	