

UNIVERSIDAD
POLITÉCNICA
DE MADRID

GUÍA DE APRENDIZAJE

MICROELECTRÓNICA

MASTER UNIVERSITARIO EN INGENIERIA DE SISTEMAS
ELECTRONICOS

CURSO ACADÉMICO	CÓDIGO	CURSO	CRÉDITOS	CARÁCTER	SEMESTRE
2026-27	93001025	1	4 ECTS	OPTATIVA	SEGUNDO SEMESTRE
IDIOMA	CENTRO RESPONSABLE				
ESPAÑOL	E.T.S. DE INGENIEROS DE TELECOMUNICACION				
DEPARTAMENTO RESPONSABLE					
INGENIERÍA ELECTRÓNICA					

COORDINADOR/A

MARÍA LUISA LÓPEZ VALLEJO - m.lopez.vallejo@upm.es

REQUISITOS OBLIGATORIOS

ASIGNATURAS REQUERIDAS

—

CONOCIMIENTOS PREVIOS RECOMENDADOS

ASIGNATURAS RECOMENDADAS

—

OTRAS RECOMENDACIONES

—

RESULTADOS

RD-1393/2007

Resultados de aprendizaje

- | | |
|-------------|---|
| RA5 | Conocimientos cualitativos y cuantitativos para la selección e interconexión de subsistemas en el diseño de sistemas electrónicos analógicos o digitales. |
| RA64 | Conocimiento de técnicas de manejo de la complejidad en el diseño de sistemas integrados en un chip |
| RA12 | Conocimiento de los más recientes avances del estado del arte en circuitos y sistemas electrónicos |
| RA65 | Capacidad de realizar simulación de circuitos, edición y síntesis de trazados |

Competencias

- | | |
|-------------|---|
| CE04 | Capacidad para diseñar un dispositivo, sistema, aplicación o servicio que cumpla unas especificaciones dadas, empleando un enfoque sistémico y multidisciplinar e integrando los módulos y herramientas avanzadas disponibles en el campo de la Ingeniería Electrónica. |
| CE05 | Capacidad para seleccionar, especificar, proyectar, documentar o poner a punto sistemas electrónicos para proporcionar o explotar servicios o infraestructuras en áreas de aplicación de interés. |
| CE02 | Capacidad para aplicar herramientas, técnicas y metodologías avanzadas de diseño de sistemas o subsistemas electrónicos |

DESCRIPCIÓN

La asignatura **Microelectrónica** tiene como objetivo proporcionar a los estudiantes del itinerario de Electrónica los conocimientos y competencias necesarios para el diseño *full-custom* de circuitos integrados VLSI. Para ello, la asignatura establece un nexo entre el diseño de sistemas electrónicos y las tecnologías, dispositivos y procesos de fabricación que los hacen posibles, analizando cómo los requisitos funcionales y de prestaciones condicionan las decisiones de diseño a distintos niveles de abstracción.

La asignatura ofrece una visión integral del proceso de diseño de circuitos integrados, abarcando desde la especificación y diseño de bloques funcionales hasta su implementación física y verificación. Los contenidos se centran principalmente en la tecnología CMOS, ampliamente utilizada en el desarrollo de circuitos integrados de aplicación específica, e incluyen una introducción a las estructuras y procesos tecnológicos fundamentales que sustentan el diseño microelectrónico moderno. Asimismo, la asignatura incorpora una importante componente práctica basada en el uso de herramientas comerciales de diseño asistido por ordenador (EDA), que permiten al estudiante familiarizarse con los flujos de trabajo empleados en la industria microelectrónica para el diseño, simulación, verificación y trazado físico de circuitos

integrados. De este modo, el estudiante adquiere una comprensión global del flujo de diseño de circuitos integrados y de la relación entre arquitectura, circuitos, tecnología e implementación física.

TEMARIO

- 1. Introducción al diseño de ASICs**
- 2. Transistores: su funcionamiento**
 - 2.1. El transistor MOSFET
 - 2.2. Efectos de segundo orden
 - 2.3. Modelo unificado
- 3. Lógica CMOS**
 - 3.1. Inversores
 - 3.2. Lógica de puertas
- 4. Proceso CMOS**
 - 4.1. Reglas de diseño
 - 4.2. Latchup
- 5. Caracterización del circuito**
 - 5.1. Resistencia
 - 5.2. Capacidad
 - 5.3. Retardo
 - 5.4. Excitación de grandes capacidades
 - 5.5. Consumo de potencia
- 6. Lógica secuencial, temporización y familias lógicas**
 - 6.1. Elementos secuenciales: latch y flip-flop

6.2. Temporización

6.3. Familias Lógicas

7. Memorias

7.1. RAMs

7.2. ROMs

8. Visión global del circuito integrado

8.1. Entrada/Salida del chip

9. Test de circuitos integrados / Diseño para test

9.1. Controlabilidad, observabilidad y modelos de fallos

9.2. Estrategias de diseño para test

ACTIVIDADES

Actividad evaluable



Actividad formativa

**Tema 1: Introducción al diseño de ASICs**

SEMANAS

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD

Presencial

DURACIÓN TOTAL

01h 00m

LUGAR

Aula (en horario)

GRUPO

Normal

METODOLOGÍA

Lección Magistral

**Tema 2: Transistores: su funcionamiento**

SEMANAS

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD

Presencial

DURACIÓN TOTAL

06h 00m

LUGAR

Aula (en horario)

GRUPO

Normal

METODOLOGÍA

Lección Magistral

	Tema 3: Lógica CMOS	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E				
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 06h 00m	LUGAR Aula (en horario)	GRUPO Normal		
TEMAS T2 T3						
METODOLOGÍA Lección Magistral						

	Entrega de ejercicios sobre el funcionamiento de los transistores MOS	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E				
PRESENCIALIDAD No presencial, sin docente		DURACIÓN TOTAL 01h 00m	EVALUACIÓN Progresiva	PONDERACIÓN 5%	NOTA MÍNIMA 4	
TEMAS T2 T3						
METODOLOGÍA Trabajo Individual						
RESULTADOS EVALUADOS RA65						

	Aprendizaje de la herramienta icfb. Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar.	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E				
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 02h 00m	LUGAR Laboratorio	GRUPO Reducido		
TEMAS T3 T2						
METODOLOGÍA Prácticas de Laboratorio						



	Examen parcial			SEMANAS															
				1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
	PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	EVALUACIÓN	PONDERACIÓN	NOTA MÍNIMA													
	Presencial	02h 00m	Otro	Progresiva	20%	4													
	TEMAS																		
T1 T2 T3																			
METODOLOGÍA																			
Examen Escrito																			
RESULTADOS EVALUADOS																			
RA64 CE04 CE05 RA5																			

	Tema 4: Proceso CMOS			SEMANAS															
				1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
	PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
	Presencial	01h 00m	Aula (en horario)	Normal															
	METODOLOGÍA																		
Lección Magistral																			

	Trazados, DRC, LVS y backannotation.			SEMANAS															
				1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
	PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
	Presencial	02h 00m	Laboratorio	Reducido															
	TEMAS																		
T3 T2																			
METODOLOGÍA																			
Prácticas de Laboratorio																			

	Tema 5: Caracterización del circuito			SEMANAS															
				1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
	PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
	Presencial	06h 00m	Aula (en horario)	Normal															
	TEMAS																		
T5																			
METODOLOGÍA																			
Lección Magistral																			

 Tema 6: Circuitos secuenciales				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 05h 00m	LUGAR Aula (en horario)	GRUPO Normal															
TEMAS T6																		
METODOLOGÍA Lección Magistral																		

 Primera entrega del proyecto correspondiente a circuitos combinacionales				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD No presencial, sin docente	DURACIÓN TOTAL 04h 00m	EVALUACIÓN Progresiva	PONDERACIÓN 30%	NOTA MÍNIMA 4														
TEMAS T3 T4 T5																		
METODOLOGÍA Trabajo en Grupo Proyecto en grupo																		
RESULTADOS EVALUADOS RA64 RA65 RA12 CE02																		

 Tema 7: Memorias				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 04h 00m	LUGAR Aula (en horario)	GRUPO Normal															
METODOLOGÍA Lección Magistral																		

 Tema 10: Test de circuitos integrados				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 01h 00m	LUGAR Aula (en horario)	GRUPO Normal															
METODOLOGÍA Lección Magistral																		

 Repaso. Ejercicios de examen		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO														
Presencial	02h 00m	Aula (en horario)	Normal														
METODOLOGÍA Clase de Problemas																	

 Entrega del proyecto final cuyo contenido técnico se corresponde combinacional más secuencial		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	EVALUACIÓN	PONDERACIÓN	NOTA MÍNIMA													
No presencial, sin docente	04h 00m	Progresiva	25%	5													
TEMAS T7 T8 T9 T3 T5 T6																	
METODOLOGÍA Presentación Individual																	
RESULTADOS EVALUADOS RA64 RA65 RA12 RA5 CE02 CE04 CE05																	

 Segundo parcial		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	EVALUACIÓN	PONDERACIÓN	NOTA MÍNIMA												
Presencial	02h 00m	Otro	Progresiva	20%	4												
TEMAS T6 T7 T5 T8 T9																	
METODOLOGÍA Examen Escrito																	
RESULTADOS EVALUADOS RA64 RA5 CE02 CE04																	



Examen final

SEMANAS

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

E

PRESENCIALIDAD

DURACIÓN TOTAL

LUGAR

EVALUACIÓN

PONDERACIÓN

NOTA MÍNIMA

Presencial

03h 00m

Otro

Global

50%

4

TEMAS

T1T2T3T4T5T6T7T8T9

METODOLOGÍA

Examen Escrito

RESULTADOS EVALUADOS

RA64RA5CE02CE04CE05

Examen extraordinario

SEMANAS

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

E

PRESENCIALIDAD

DURACIÓN TOTAL

LUGAR

EVALUACIÓN

PONDERACIÓN

NOTA MÍNIMA

Presencial

03h 00m

Otro

Extraordinaria

50%

5

TEMAS

T1T2T3T4T5T6T7T8T9

METODOLOGÍA

Examen Escrito

RESULTADOS EVALUADOS

RA64RA5CE04CE02CE05

Examen de prácticas

SEMANAS

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

E

PRESENCIALIDAD

DURACIÓN TOTAL

LUGAR

EVALUACIÓN

PONDERACIÓN

NOTA MÍNIMA

Presencial

02h 00m

Laboratorio

Global, Extraordinaria

50%

6

TEMAS

T3T4T5T6T7T8

METODOLOGÍA

Examen oralPresentación Individual en LaboratorioProyecto individual

RESULTADOS EVALUADOS

RA65RA12CE02

PLANIFICACIÓN SEMANAL

Actividad evaluable Actividad formativa

•

 Semana con actividad

E

 Período de exámenes

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Tema 1: Introducción al diseño de ASICs	.															
 Tema 2: Transistores: su funcionamiento	.	.	.													
 Tema 3: Lógica CMOS				.	.											
 Entrega de ejercicios sobre el funcionamiento de los transistores MOS						.										
 Aprendizaje de la herramienta icfb. Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar.						.										
 Examen parcial							.									
 Tema 4: Proceso CMOS							.									
 Trazados, DRC, LVS y backannotation.								.								
 Tema 5: Caracterización del circuito								.	.	.						
 Tema 6: Circuitos secuenciales									.	.						
 Primera entrega del proyecto correspondiente a circuitos combinacionales											.					
 Tema 7: Memorias											.	.	.			
 Tema 10: Test de circuitos integrados															.	
 Repaso. Ejercicios de examen															.	
 Entrega del proyecto final cuyo contenido técnico se corresponde combinacional más secuencial																.
 Segundo parcial																.

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Examen final																.
 Examen extraordinario																.
 Examen de prácticas																.

CRITERIOS DE EVALUACIÓN

Criterios Generales

A. CONVOCATORIA ORDINARIA

En convocatoria ordinaria el alumnado solo puede optar por uno de estos sistemas de evaluación:

- Evaluación progresiva.
- Prueba de evaluación global.

A continuación se describen las pruebas obligatorias.

Convocatoria ordinaria. Modalidad de prueba de evaluación global:

La evaluación progresiva incluye dos parciales, actividades en clase y en el laboratorio.

La evaluación por prueba de evaluación global consiste en un único examen final. El mínimo para aprobar es un 5.0.

B. CONVOCATORIA EXTRAORDINARIA

La evaluación en la convocatoria extraordinaria se realizará exclusivamente a través del sistema de prueba de evaluación global tanto para teoría como para laboratorio.

C. LIBERACIÓN DE BLOQUES

La asignatura no permite liberar bloques entre la convocatoria ordinaria y la extraordinaria.

Criterios de Evaluación en Convocatoria Ordinaria. Evaluación progresiva

Criterios de evaluación

La calificación final debe ser igual o superior a 5,0. La calificación de cada una de las pruebas debe ser igual o superior a 4,0.

Actividades

- Entrega de ejercicios sobre el funcionamiento de los transistores MOS (5%)
- Examen parcial (20%)
- Primera entrega del proyecto correspondiente a circuitos combinacionales (30%)
- Entrega del proyecto final cuyo contenido técnico se corresponde combinacional más secuencial (25%)
- Segundo parcial (20%)

Criterios de Evaluación en Convocatoria Ordinaria. Prueba global

Criterios de evaluación

La evaluación se realiza únicamente por prueba de evaluación global tanto para la parte de teoría como para la de prácticas.

La evaluación por prueba de evaluación global de teoría consiste en un examen escrito. La evaluación por prueba de evaluación global de prácticas consiste en un examen oral para la presentación de conocimientos adquiridos en el uso de herramientas de diseño y la presentación de un proyecto de chip. El mínimo para aprobar es un 5,0.

Actividades

- Examen final (50%)
- Examen de prácticas (50%)

Criterios de Evaluación en Convocatoria Extraordinaria

Criterios de evaluación

La evaluación se realiza únicamente por prueba de evaluación global tanto para la parte de teoría como para la de prácticas.

La evaluación por prueba de evaluación global de teoría consiste en un examen escrito. La evaluación por prueba de evaluación global de prácticas consiste en un examen oral para la presentación de conocimientos adquiridos en el uso de herramientas de diseño y la presentación de un proyecto de chip. El mínimo para aprobar es un 5,0.

Actividades

- Examen extraordinario (50%)
- Examen de prácticas (50%)

RECURSOS

Bibliografía

CMOS VLSI Design: A circuits and Systems Perspective N. Weste, D. Harris (Libro de referencia). Pearson Addison Wesley 2005.

"Digital Integrated Circuits", Rabaey, J.M. Prentice Hall, 1996

Introduction to VLSI Systems: A Logic, Circuit, and System Perspective Ming-Bo Lin. CRC Press. 2011

Web

Guías de Cadence

OBJETIVOS DE DESARROLLO SOSTENIBLE

3 SALUD
Y BIENESTAR



Salud y bienestar

9

INDUSTRIA,
INNOVACIÓN E
INFRAESTRUCTURA



Industria, innovación e
infraestructura

12 PRODUCCIÓN
Y CONSUMO
RESPONSABLES



Producción y consumo responsables