

UNIVERSIDAD
POLITÉCNICA
DE MADRID

GUÍA DE APRENDIZAJE

ARQUITECTURAS DIGITALES AVANZADAS

MASTER UNIVERSITARIO EN INGENIERIA DE SISTEMAS
ELECTRONICOS

CURSO ACADÉMICO	CÓDIGO	CURSO	CRÉDITOS	CARÁCTER	SEMESTRE
2026-27	93001028	1	4 ECTS	OPTATIVA	SEGUNDO SEMESTRE
IDIOMA	CENTRO RESPONSABLE				
ESPAÑOL	E.T.S. DE INGENIEROS DE TELECOMUNICACION				
DEPARTAMENTO RESPONSABLE					
INGENIERÍA ELECTRÓNICA					

COORDINADOR/A

PEDRO JOSÉ MALAGÓN MARZO - pedro.malagon.marzo@upm.es

REQUISITOS OBLIGATORIOS

ASIGNATURAS REQUERIDAS

CONOCIMIENTOS PREVIOS RECOMENDADOS

ASIGNATURAS RECOMENDADAS

OTRAS RECOMENDACIONES

Sistemas electrónicos basados en microprocesadores,
Diseño de circuitos electrónicos digitales, Laboratorio de
circuitos electrónicos digitales

RESULTADOS

RD-1393/2007

Resultados de aprendizaje

RA88	Capacidad para seleccionar los tipos de plataformas de computación más adecuadas para abordar los problemas y las necesidades planteadas en un proyecto de ingeniería
RA30	Conocimiento práctico de métodos modernos de diseño y herramientas básicas para el diseño con células estándar y FPGAs
RA25	Capacidad de manejar plataformas hardware reconfigurables
RA36	Capacidad de analizar alternativas de diseño existentes.
RA38	Capacidad de analizar sistemas basados en procesadores
RA24	Capacidad para especificar hardware mediante HDL.
RA37	Conocimiento de arquitecturas digitales avanzadas
RA40	Conocimiento de procedimientos de optimización

Competencias

CE06	Capacidad para diseñar un sistema electrónico digital de complejidad media-alta empleando una plataforma basada en dispositivos programables, empleando un lenguaje de programación o aplicando metodologías, estrategias y herramientas CAD para la integración o el codiseño de componentes hardware y software.
CE01	Capacidad para evaluar las ventajas e inconvenientes de las alternativas tecnológicas en el diseño o fabricación de sistemas electrónicos analógicos, digitales, centrales o distribuidos.

DESCRIPCIÓN

La asignatura de estructura en dos partes.

En la primera parte se presenta una plataforma System-on-Chip que incluye un procesador dedicado y FPGA. El objetivo de esta primera parte es:

- Aprender a utilizar los entornos de desarrollo para el diseño del System-on-Chip y el diseño, simulación y depuración del diseño hardware-software
- Conocer los buses de interconexión entre elementos hardware y hardware-software

- Conocer los distintos tipos de memoria disponibles, cómo usarlas y los rendimientos que ofrecen para distintas situaciones
- Conocer los co-procesadores vectoriales y cómo se pueden utilizar en lenguajes de alto nivel
- Conocer mecanismos para evaluar el rendimiento de un sistema hardware-software para encontrar cuellos de botella en el sistema
- Conocer los conceptos de bloques de propiedad intelectual hardware (bloques IP) y su uso/interconexión

En la segunda parte, que requiere de los conocimientos de la primera, se presentan herramientas para el diseño de bloques hardware IP desde lenguajes de alto nivel (C/C++), lo que se conoce como High Level Synthesis (HLS) y el uso del Sistema Operativo Linux en un System-on-Chip. Los objetivos de esta parte son:

- Conocer metodología de diseño de circuitos desde lenguajes de alto nivel, incluyendo la simulación software, la co-simulación hardware-software, la simulación hardware en un sistema y la depuración
- Conocer las posibles interfaces de los bloques IP y cómo se especifican
- Conocer el impacto de la declaración de las distintas señales del circuito en el área y las prestaciones
- Analizar las características del circuito generado, en términos de latencia, throughput, intervalos de iteración, memoria, área y consumo.
- Conocer técnicas de optimización de circuitos centradas en el desarrollo de bucles y la reestructuración de memorias.
- Conocer el procedimiento para instalar y utilizar Linux en System-on-Chip
- Conocer los distintos mecanismos para interactuar con los periféricos usando Linux

Todas las actividades del curso se utilizarán para realizar un proyecto final en el que se usen todos los conceptos vistos en la asignatura.

TEMARIO

- 1. Arquitectura de System-on-Chip con procesador Cortex-A9 y entorno de desarrollo**
- 2. Diseño, simulación y depuración de sistemas con bloques IP en System-on-Chip reconfigurables**
- 3. Sistemas con memoria: interfaz y movimiento de datos**
- 4. Caracterización de sistemas en software (profiling)**
- 5. Diseño de circuitos temporizados con lenguajes de alto nivel HLS**
- 6. Diseño de circuitos optimizados con lenguajes de alto nivel HLS**
- 7. Instalación y uso de Linux en System-on-Chip**
- 8. Drivers básicos en Linux**



UNIVERSIDAD
POLITÉCNICA
DE MADRID



ACTIVIDADES

Actividad evaluable Actividad formativa

	Introducción y arquitectura de procesador			SEMANAS																	
				1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E		
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																		
Presencial	01h 10m	Aula (en horario)	Normal																		
TEMAS																					
T1																					
METODOLOGÍA																					
Lección Magistral																					

	Tutorial 1: Diseño software. Microcontrolador e IDE			SEMANAS																	
				1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E		
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																		
Presencial	02h 30m	Laboratorio	Reducido																		
TEMAS																					
T1																					
METODOLOGÍA																					
Prácticas de Laboratorio																					

	Diseño, simulación y depuración hardware-software			SEMANAS																	
				1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E		
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																		
Presencial	01h 10m	Aula (en horario)	Normal																		
TEMAS																					
T2																					
METODOLOGÍA																					
Lección Magistral																					



 Tutorial 2: Simulación y depuración hardware-software				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 02h 30m	LUGAR Laboratorio	GRUPO Reducido															
TEMAS T2																		
METODOLOGÍA Prácticas de Laboratorio																		
 Memorias y buses: tipos, uso y movimiento de datos				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 01h 10m	LUGAR Aula (en horario)	GRUPO Normal															
TEMAS T3																		
METODOLOGÍA Lección Magistral																		
 Tutorial 3: uso de memorias y DMA				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 02h 30m	LUGAR Laboratorio	GRUPO Reducido															
TEMAS T3																		
METODOLOGÍA Prácticas de Laboratorio																		
 Caracterización de sistemas en software				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 01h 10m	LUGAR Aula (en horario)	GRUPO Normal															
TEMAS T4																		
METODOLOGÍA Lección Magistral																		

	Tutorial 4: caracterización de sistemas (profiling)			SEMANAS 123456789101112131415E																		
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 02h 30m		LUGAR Laboratorio		GRUPO Reducido																
TEMAS T4																						
METODOLOGÍA Prácticas de Laboratorio																						

	Ejercicio 1: ecualizador de audio software			SEMANAS 123456789101112131415E																		
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 07h 00m		LUGAR Laboratorio		GRUPO Reducido																
TEMAS T1T2T3T4																						
METODOLOGÍA Prácticas de Laboratorio																						

	Diseño de circuitos con temporización con HLS			SEMANAS 123456789101112131415E																		
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 01h 10m		LUGAR Aula (en horario)		GRUPO Normal																
TEMAS T5																						
METODOLOGÍA Lección Magistral																						

	Tutorial 5: diseño, simulación y uso de circuito digital con HLS			SEMANAS 123456789101112131415E																		
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 02h 30m		LUGAR Laboratorio		GRUPO Reducido																
TEMAS T5																						
METODOLOGÍA Prácticas de Laboratorio																						

 Diseño de circuitos optimizados HLS				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
Presencial	01h 10m	Aula (en horario)	Normal															
TEMAS																		
T6																		
METODOLOGÍA																		
Lección Magistral																		

 Tutorial 6: optimización de circuitos digitales con HLS				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
Presencial	02h 30m	Laboratorio	Reducido															
TEMAS																		
T6																		
METODOLOGÍA																		
Prácticas de Laboratorio																		

 Ejercicio 2: diseño e implementación de un controlador de matriz de leds				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
Presencial	03h 30m	Laboratorio	Reducido															
TEMAS																		
T5 T6																		
METODOLOGÍA																		
Prácticas de Laboratorio																		

 Introducción a Linux en System-on-Chip				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E														
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO															
Presencial	01h 10m	Aula (en horario)	Normal															
TEMAS																		
T7																		
METODOLOGÍA																		
Lección Magistral																		



UNIVERSIDAD
POLITÉCNICA
DE MADRID



Tutorial 7: Instalación y uso de Linux en System-on-Chip

SEMANAS

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD

Presencial

DURACIÓN TOTAL

02h 30m

LUGAR

Laboratorio

GRUPO

Reducido

TEMAS

T7

METODOLOGÍA

Prácticas de Laboratorio



Drivers básicos en Linux

SEMANAS

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD

Presencial

DURACIÓN TOTAL

01h 10m

LUGAR

Aula (en horario)

GRUPO

Normal

TEMAS

T8

METODOLOGÍA

Lección Magistral



Tutorial 8: gestión de periféricos en Linux

SEMANAS

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD

Presencial

DURACIÓN TOTAL

02h 30m

LUGAR

Laboratorio

GRUPO

Reducido

TEMAS

T8

METODOLOGÍA

Prácticas de Laboratorio



Evaluación de tutoriales

SEMANAS

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD

No presencial, sin docente

DURACIÓN TOTAL

00h 10m

EVALUACIÓN

Progresiva, Global, Extraordinaria

PONDERACIÓN

60%

NOTA MÍNIMA

7.5

TEMAS

T1 T2 T3 T4 T5 T6 T7 T8

METODOLOGÍA

Trabajo en Grupo

RESULTADOS EVALUADOS

CE01 CE06 RA36 RA40 RA24 RA25 RA30 RA37 RA88 RA38



UNIVERSIDAD
POLITÉCNICA
DE MADRID



Ejercicio 1

SEMANAS

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

E

PRESENCIALIDAD

No presencial, sin docente

DURACIÓN TOTAL

00h 10m

EVALUACIÓN

Progresiva, Global, Extraordinaria

PONDERACIÓN

15%

NOTA MÍNIMA

0

TEMAS

T1

T2

T3

T4

METODOLOGÍA

Proyecto en grupo

RESULTADOS EVALUADOS

CE01

RA36

RA25

RA30

RA37

RA38

CE06

Ejercicio 2

SEMANAS

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

E

PRESENCIALIDAD

No presencial, sin docente

DURACIÓN TOTAL

00h 10m

EVALUACIÓN

Progresiva, Global, Extraordinaria

PONDERACIÓN

15%

NOTA MÍNIMA

0

TEMAS

T6

T5

METODOLOGÍA

Proyecto en grupo

RESULTADOS EVALUADOS

CE06

RA40

RA24

RA25

RA30

RA88

RA38

Test de conocimientos básicos

SEMANAS

1

2

3

4

5

6

7

8

9

10

11

12

13

14

15

E

PRESENCIALIDAD

Presencial

DURACIÓN TOTAL

00h 30m

LUGAR

Otro

EVALUACIÓN

Progresiva, Global, Extraordinaria

PONDERACIÓN

10%

NOTA MÍNIMA

7

METODOLOGÍA

Prueba Telemática

RESULTADOS EVALUADOS

CE01

RA40

RA37

RA88

PLANIFICACIÓN SEMANAL

Actividad evaluable Actividad formativa Semana con actividad

E

 Período de exámenes

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Introducción y arquitectura de procesador	.															
 Tutorial 1: Diseño software. Microcontrolador e IDE	.															
 Diseño, simulación y depuración hardware-software		.														
 Tutorial 2: Simulación y depuración hardware-software		.														
 Memorias y buses: tipos, uso y movimiento de datos			.													
 Tutorial 3: uso de memorias y DMA			.													
 Caracterización de sistemas en software				.												
 Tutorial 4: caracterización de sistemas (profiling)				.												
 Ejercicio 1: ecualizador de audio software					.	.										
 Diseño de circuitos con temporización con HLS							.									
 Tutorial 5: diseño, simulación y uso de circuito digital con HLS							.									
 Diseño de circuitos optimizados HLS								.								
 Tutorial 6: optimización de circuitos digitales con HLS								.								
 Ejercicio 2: diseño e implementación de un controlador de matriz de leds									.							
 Introducción a Linux en System-on-Chip										.						
 Tutorial 7: Instalación y uso de Linux en System-on-Chip										.						
 Drivers básicos en Linux											.					

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Tutorial 8: gestión de periféricos en Linux																
 Evaluación de tutoriales																
 Ejercicio 1																
 Ejercicio 2																
 Test de conocimientos básicos																

CRITERIOS DE EVALUACIÓN

Criterios Generales

La asignatura consta de tutoriales y ejercicios. Los ejercicios van encaminados a poder completar el proyecto final.

La fecha de entrega y evaluación es a final de curso, por lo que los alumnos pueden hacer el trabajo según les convenga, aunque la planificación de la asignatura sugiera unas fechas de finalización y entrega adecuadas.

El test incluye los conceptos más básicos, y se proporcionan mecanismos para garantizar que estos conceptos se pueden estudiar y adquirir al margen de los propios tutoriales.

Las pruebas que se hayan superado en las convocatorias ordinarias se mantienen de cara a la convocatoria extraordinaria.

Dentro de la evaluación de los tutoriales y de los ejercicios, los profesores pueden solicitar un examen oral para comprobar la realización de los tutoriales y ejercicios por parte de la pareja.

Criterios de Evaluación en Convocatoria Ordinaria. Evaluación progresiva

Criterios de evaluación

No hay diferencia entre la evaluación progresiva y la ordinaria.

El test de conocimiento básico se realiza el día del examen asignado en la planificación del centro.

Ese día es el límite para la entrega de los tutoriales y ejercicios resueltos, que se pueden ir evaluando según el alumno lo vaya solicitando, para ofrecer la posibilidad de mejorar el trabajo realizado.

La evaluación de los tutoriales, que supone un 60% de la evaluación, exige un 7,5 sobre 10, teniendo todos los tutoriales más de 5 sobre 10, de manera que ningún tutorial se puede dejar sin hacer o realizado de manera insatisfactoria.

Los ejercicios no son obligatorios para superar la asignatura y suponen un 15% de la evaluación cada uno.

Dentro de la evaluación de los tutoriales y de los ejercicios, los profesores pueden solicitar un examen oral para comprobar la realización de los tutoriales y ejercicios por parte de la pareja.

El test de conocimientos básicos requiere un 7 sobre 10 para superar la asignatura y supone un 10% de la evaluación final.

Actividades

- Evaluación de tutoriales (60%)
- Ejercicio 1 (15%)
- Ejercicio 2 (15%)
- Test de conocimientos básicos (10%)

Criterios de Evaluación en Convocatoria Ordinaria. Prueba global

Criterios de evaluación

No hay diferencia entre la evaluación progresiva y la ordinaria.

El test de conocimiento básico se realiza el día del examen asignado en la planificación del centro.

Ese día es el límite para la entrega de los tutoriales y ejercicios resueltos, que se pueden ir evaluando según el alumno lo vaya solicitando, para ofrecer la posibilidad de mejorar el trabajo realizado.

La evaluación de los tutoriales, que supone un 60% de la evaluación, exige un 7,5 sobre 10, teniendo todos los tutoriales más de 5 sobre 10, de manera que ningún tutorial se puede dejar sin hacer o realizado de manera insatisfactoria.

Los ejercicios no son obligatorios para superar la asignatura y suponen un 15% de la evaluación cada uno.

Dentro de la evaluación de los tutoriales y de los ejercicios, los profesores pueden solicitar un examen oral para comprobar la realización de los tutoriales y ejercicios por parte de la pareja.

El test de conocimientos básicos requiere un 7 sobre 10 para superar la asignatura y supone un 10% de la evaluación final.

Actividades

- Evaluación de tutoriales (60%)
- Ejercicio 1 (15%)

- Ejercicio 2 (15%)
- Test de conocimientos básicos (10%)

Criterios de Evaluación en Convocatoria Extraordinaria

Criterios de evaluación

No hay diferencia entre la evaluación ordinaria y la extraordinaria.

El test de conocimiento básico se realiza el día del examen asignado en la planificación del centro.

Ese día es el límite para la entrega de los tutoriales y ejercicios resueltos, que se pueden ir evaluando según el alumno lo vaya solicitando, para ofrecer la posibilidad de mejorar el trabajo realizado.

La evaluación de los tutoriales, que supone un 60% de la evaluación, exige un 7,5 sobre 10, teniendo todos los tutoriales más de 5 sobre 10, de manera que ningún tutorial se puede dejar sin hacer o realizado de manera insatisfactoria.

Los ejercicios no son obligatorios para superar la asignatura y suponen un 15% de la evaluación cada uno.

Dentro de la evaluación de los tutoriales y de los ejercicios, los profesores pueden solicitar un examen oral para comprobar la realización de los tutoriales y ejercicios por parte de la pareja.

El test de conocimientos básicos requiere un 7 sobre 10 para superar la asignatura y supone un 10% de la evaluación final.

Actividades

- Evaluación de tutoriales (60%)
- Ejercicio 1 (15%)
- Ejercicio 2 (15%)
- Test de conocimientos básicos (10%)

RECURSOS

Web

Página web de la asignatura
<http://moodle.upm.es/titulaciones/oficiales>

Bibliografía

Louise H. Crockett, Martin A. Enderwitz y Ross A. Elliot. The Zynq Book: Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq-7000 All Programmable SoC. 1.a ed. Strathclyde Academic Media, 2014. isbn: 099297870X

Material de referencia para el primer bloque del temario. Este libro está recomendado por AMD para iniciarse a la arquitectura Zynq.

Frank Vasquez y Chris Simmonds. Mastering Embedded Linux Development: Craft fast and reliable embedded solutions with Linux 6.6 and The Yocto Project 5.0 (Scarthgap). 4.a ed. Accedido: 2026-03-18. Packt Publishing, 2025. isbn: 1803232595

Material de referencia para el segundo bloque. Este libro desarrolla todos los conceptos necesarios para comprender el proceso de arranque de Linux, así como directrices para generar imágenes de Linux usando Yocto.

Advanced Micro Devices. Vitis High-Level Synthesis User Guide. 2025

Referencia oficial del flujo de HLS en Vitis: optimización, pipelining, dataflow, interfaces AXI, partición de arrays, etc.

OBJETIVOS DE DESARROLLO SOSTENIBLE



Energía asequible y no contaminante



Industria, innovación e infraestructura

OTRA INFORMACIÓN

El curso gira alrededor del uso de la plataforma Zybo, con un System-on-Chip de la familia Zynq de Xilinx, y las herramientas de diseño Vivado HLx, que permiten el uso de la plataforma para diseñar e implementar sistemas HW/SW complejos, mejorando el tiempo de vida de los dispositivos por utilizar sistemas reconfigurables.

La asignatura se relaciona con los ODS (Objetivos de Desarrollo Sostenible) 7.Energía y 9.Industria, innovación e infraestructuras, en que presenta, tanto a nivel de diseño de circuitos como a nivel de diseño de sistemas, técnicas que permiten optimizar el consumo y las prestaciones de los sistemas digitales, favoreciendo con ello una mejor utilización de los recursos energéticos y la aplicación de las infraestructuras computacionales en el modelado y la simulación de todo tipo de sistemas complejos.