

UNIVERSIDAD
POLITÉCNICA
DE MADRID

GUÍA DE APRENDIZAJE

DISEÑO MICROELECTRÓNICO

MÁSTER EN INGENIERÍA DE TELECOMUNICACIÓN

CURSO ACADÉMICO
2026-27CÓDIGO
93001378CURSO
2CRÉDITOS
5 ECTSCARÁCTER
OPTATIVASEMESTRE
**SEGUNDO
SEMESTRE**IDIOMA
ESPAÑOLCENTRO RESPONSABLE
E.T.S. DE INGENIEROS DE TELECOMUNICACIONDEPARTAMENTO RESPONSABLE
INGENIERÍA ELECTRÓNICA

COORDINADOR/A

MARÍA LUISA LÓPEZ VALLEJO - m.lopez.vallejo@upm.es

REQUISITOS OBLIGATORIOS

ASIGNATURAS REQUERIDAS

CONOCIMIENTOS PREVIOS RECOMENDADOS

ASIGNATURAS RECOMENDADAS

OTRAS RECOMENDACIONES

RESULTADOS

RD-822/2021

Conocimientos

KG1 Poseer y comprender conocimientos que aporten una base u oportunidad de ser originales en el desarrollo y/o aplicación de ideas, a menudo en un contexto de investigación

Habilidades o destrezas

HG2 Que los estudiantes sepan aplicar los conocimientos adquiridos y su capacidad de resolución de problemas en entornos nuevos o poco conocidos dentro de contextos más amplios (o multidisciplinares) relacionados con su área de estudio

Competencias

CE12 Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas

CE15 Capacidad para la integración de tecnologías y sistemas propios de la Ingeniería de Telecomunicación, con carácter generalista, y en contextos más amplios y multidisciplinares como por ejemplo en bioingeniería, conversión fotovoltaica, nanotecnología, telemedicina

CG4 Que los estudiantes sepan comunicar sus conclusiones y los conocimientos y razones últimas que las sustentan a públicos especializados y no especializados de un modo claro y sin ambigüedades

CG5 Que los estudiantes posean las habilidades de aprendizaje que les permitan continuar estudiando de un modo que habrá de ser en gran medida autodirigido o autónomo

CT3 Capacidad para adoptar soluciones creativas que satisfagan adecuadamente las diferentes necesidades planteadas

CE10 Capacidad para diseñar y fabricar circuitos integrados

DESCRIPCIÓN

La asignatura **Diseño Microelectrónico** tiene como objetivo proporcionar a los estudiantes del itinerario de Electrónica los conocimientos y competencias necesarios para el diseño *full-custom* de circuitos integrados VLSI. Para ello, la asignatura establece un nexo entre el diseño de sistemas electrónicos y las tecnologías,

dispositivos y procesos de fabricación que los hacen posibles, analizando cómo los requisitos funcionales y de prestaciones condicionan las decisiones de diseño a distintos niveles de abstracción.

La asignatura ofrece una visión integral del proceso de diseño de circuitos integrados, abarcando desde la especificación y diseño de bloques funcionales hasta su implementación física y verificación. Los contenidos se centran principalmente en la tecnología CMOS, ampliamente utilizada en el desarrollo de circuitos integrados de aplicación específica, e incluyen una introducción a las estructuras y procesos tecnológicos fundamentales que sustentan el diseño microelectrónico moderno. Asimismo, la asignatura incorpora una importante componente práctica basada en el uso de herramientas comerciales de diseño asistido por ordenador (EDA), que permiten al estudiante familiarizarse con los flujos de trabajo empleados en la industria microelectrónica para el diseño, simulación, verificación y trazado físico de circuitos integrados. De este modo, el estudiante adquiere una comprensión global del flujo de diseño de circuitos integrados y de la relación entre arquitectura, circuitos, tecnología e implementación física.

TEMARIO

1. Introducción al diseño de ASICs

2. Transistores: su funcionamiento

2.1. El transistor MOSFET

2.2. Efectos de segundo orden

2.3. Modelo unificado

3. Lógica CMOS

3.1. Inversores

3.2. Lógica de puertas

4. Proceso CMOS

4.1. Reglas de diseño

4.2. Latchup

5. Caracterización del circuito

5.1. Resistencia

5.2. Capacidad

5.3. Retardo

5.4. Excitación de grandes capacidades

5.5. Consumo de potencia

5.6. Optimización

6. Lógica secuencial, temporización y familias lógicas

6.1. Elementos secuenciales: latch y flip-flop

6.2. Temporización

6.3. Familias Lógicas

7. Memorias

7.1. RAMs

7.2. ROMs

8. Diseño semi-custom

8.1. Flujo de diseño semi-custom

8.2. Síntesis

8.3. Diseño físico

9. Visión global del circuito integrado

9.1. Entrada/Salida del chip

10. Test de circuitos integrados / Diseño para test

10.1. Controlabilidad, observabilidad y modelos de fallos

10.2. Estrategias de diseño para test

ACTIVIDADES

Actividad evaluable



Actividad formativa

Participación en clase a lo largo del curso				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	EVALUACIÓN	PONDERACIÓN	NOTA MÍNIMA														
Presencial	02h 00m	Aula (en horario)	Progresiva	10%	4														
TEMAS																			
T1T2T4T3T5T6T7T8T9T10																			
METODOLOGÍA																			
Otras técnicasPresentación en Grupo																			
RESULTADOS EVALUADOS																			
KG1CG4CE15																			

Tema 1: Introducción al diseño de ASICs				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	01h 00m	Aula (en horario)	Normal																
METODOLOGÍA																			
Lección Magistral																			

Tema 2: Transistores: su funcionamiento				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	06h 00m	Aula (en horario)	Normal																
METODOLOGÍA																			
Lección Magistral																			

Tema 3: Lógica CMOS				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E															
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	06h 00m	Aula (en horario)	Normal																
TEMAS																			
T2T3																			
METODOLOGÍA																			
Lección Magistral																			

✓ ✗		Entrega de ejercicios sobre el funcionamiento de los transistores MOS		SEMANAS																
PRESENCIALIDAD		DURACIÓN TOTAL		EVALUACIÓN		PONDERACIÓN		NOTA MÍNIMA												
No presencial, sin docente		01h 00m		Progresiva		5%		4												
TEMAS																				
T2 T3																				
METODOLOGÍA																				
Trabajo Individual																				
RESULTADOS EVALUADOS																				
CE10 CT3																				

✓ ✗		Aprendizaje de la herramienta icfb. Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar.		SEMANAS																
PRESENCIALIDAD		DURACIÓN TOTAL		LUGAR		GRUPO														
Presencial		02h 00m		Laboratorio		Reducido														
TEMAS																				
T3 T2																				
METODOLOGÍA																				
Prácticas de Laboratorio																				

✓ ✗		Examen parcial		SEMANAS																
PRESENCIALIDAD		DURACIÓN TOTAL		LUGAR		EVALUACIÓN		PONDERACIÓN		NOTA MÍNIMA										
Presencial		02h 00m		Otro		Progresiva		20%		4										
TEMAS																				
T5																				
METODOLOGÍA																				
Examen Escrito																				
RESULTADOS EVALUADOS																				
CE10 CT3 HG2																				



UNIVERSIDAD
POLITÉCNICA
DE MADRID



 Tema 4: Proceso CMOS		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E																	
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	01h 00m	Aula (en horario)	Normal																
METODOLOGÍA																			
Lección Magistral																			

 Trazados, DRC, LVS y backannotation.		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E																	
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	02h 00m	Laboratorio	Reducido																
METODOLOGÍA																			
Prácticas de Laboratorio																			

 Tema 5: Caracterización del circuito		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E																	
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	06h 00m	Aula (en horario)	Normal																
TEMAS																			
T5																			
METODOLOGÍA																			
Lección Magistral																			

 Diseño avanzado de trazados y simulación.		SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E																	
PRESENCIALIDAD	DURACIÓN TOTAL	LUGAR	GRUPO																
Presencial	02h 00m	Laboratorio	Reducido																
TEMAS																			
T6																			
METODOLOGÍA																			
Prácticas de Laboratorio																			

	Tema 6: Circuitos secuenciales			SEMANAS 121112131415E																	
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 05h 00m		LUGAR Aula (en horario)		GRUPO Normal															
TEMAS T6																					
METODOLOGÍA Lección Magistral																					

	Primera entrega del proyecto correspondiente a circuitos combinacionales			SEMANAS 121112131415E															
PRESENCIALIDAD No presencial, sin docente		DURACIÓN TOTAL 04h 00m		EVALUACIÓN Progresiva		PONDERACIÓN 15%		NOTA MÍNIMA 4											
METODOLOGÍA Trabajo en Grupo Proyecto en grupo																			
RESULTADOS EVALUADOS CT3CE12CE10HG2CE15CG4																			

	Parámetros, análisis de corners y análisis estadístico.			SEMANAS 121112131415E																	
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 02h 00m		LUGAR Laboratorio		GRUPO Reducido															
TEMAS T8T6T3																					
METODOLOGÍA Prácticas de Laboratorio																					

	Tema 8: Síntesis lógica con Synopsys. Simulación. Optimización de consumo.			SEMANAS 121112131415E																	
PRESENCIALIDAD Presencial		DURACIÓN TOTAL 02h 00m		LUGAR Laboratorio		GRUPO Reducido															
TEMAS T8T6T3																					
METODOLOGÍA Prácticas de Laboratorio																					

	Segunda entrega del proyecto correspondiente a circuitos secuenciales	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E		
PRESENCIALIDAD No presencial, sin docente	DURACIÓN TOTAL 03h 00m	EVALUACIÓN Progresiva	PONDERACIÓN 10%	NOTA MÍNIMA 4
METODOLOGÍA Trabajo en Grupo Proyecto en grupo				
RESULTADOS EVALUADOS CT3 CE12 CE10 CE15				

	Tema 7: Memorias	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E	
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 04h 00m	LUGAR Aula (en horario)	GRUPO Normal
METODOLOGÍA Lección Magistral			

	Tema 9: Visión global del circuito integrado	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E	
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 02h 00m	LUGAR Aula (en horario)	GRUPO Normal
METODOLOGÍA Lección Magistral			

	Tema 10: Test de circuitos integrados	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E	
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 01h 00m	LUGAR Aula (en horario)	GRUPO Normal
METODOLOGÍA Lección Magistral			

	Repaso. Ejercicios de examen	SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E	
PRESENCIALIDAD Presencial	DURACIÓN TOTAL 02h 00m	LUGAR Aula (en horario)	GRUPO Normal
METODOLOGÍA Clase de Problemas			

		Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas definidas más la parte de visión global del chip				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E																											
PRESENCIALIDAD		DURACIÓN TOTAL		EVALUACIÓN		PONDERACIÓN		NOTA MÍNIMA																									
No presencial, sin docente		04h 00m		Progresiva		20%		5																									
TEMAS																																	
		T7		T9		T8		T10		T3		T5		T6																			
METODOLOGÍA																																	
		Presentación Individual																															
RESULTADOS EVALUADOS																																	
		CT3		CE12		CE10		CE15		HG2		KG1		CG5		CG4																	

		Segundo parcial				SEMANAS 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E																											
PRESENCIALIDAD		DURACIÓN TOTAL		LUGAR		EVALUACIÓN		PONDERACIÓN		NOTA MÍNIMA																							
Presencial		02h 00m		Otro		Progresiva		20%		4																							
TEMAS																																	
		T6		T7		T8		T5		T9		T10																					
METODOLOGÍA																																	
		Examen Escrito																															
RESULTADOS EVALUADOS																																	
		CT3		CE12		CE10		CG4		CE15																							

		Examen final			
--	--	--------------	--	--	--



Examen extraordinario

SEMANAS
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD
Presencial

DURACIÓN TOTAL
03h 00m

LUGAR
Otro

EVALUACIÓN
Extraordinaria

PONDERACIÓN
50%

NOTA MÍNIMA
5

TEMAS
T1 T2 T3 T4 T5 T6 T7 T8 T9 T10

METODOLOGÍA
Examen Escrito

RESULTADOS EVALUADOS
KG1 HG2 CG4 CG5 CT3 CE12 CE10 CE15



Examen de prácticas

SEMANAS
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 E

PRESENCIALIDAD
Presencial

DURACIÓN TOTAL
02h 00m

LUGAR
Laboratorio

EVALUACIÓN
Global, Extraordinaria

PONDERACIÓN
50%

NOTA MÍNIMA
6

TEMAS
T3 T4 T5 T6 T7 T8 T9METODOLOGÍA
Examen oral Presentación Individual en Laboratorio Proyecto individualRESULTADOS EVALUADOS
KG1 HG2 CG5 CG4 CT3 CE10 CE15

PLANIFICACIÓN SEMANAL

 Actividad evaluable

 Actividad formativa

 Semana con actividad

 Período de exámenes

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Participación en clase a lo largo del curso	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	
 Tema 1: Introducción al diseño de ASICs	.															
 Tema 2: Transistores: su funcionamiento	.	.	.													
 Tema 3: Lógica CMOS				.	.											

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Entrega de ejercicios sobre el funcionamiento de los transistores MOS						•										
 Aprendizaje de la herramienta icfb. Diseño, simulación y caracterización de un inversor. Diseño, simulación y caracterización de dos células básicas: NAND, NOR de dos entradas o similar.						•										
 Examen parcial							•									
 Tema 4: Proceso CMOS							•									
 Trazados, DRC, LVS y backannotation.								•								
 Tema 5: Caracterización del circuito								•	•	•						
 Diseño avanzado de trazados y simulación.											•					
 Tema 6: Circuitos secuenciales											•	•				
 Primera entrega del proyecto correspondiente a circuitos combinacionales												•				
 Parámetros, análisis de corners y análisis estadístico.												•				
 Tema 8: Síntesis lógica con Synopsys. Simulación. Optimización de consumo.													•			
 Segunda entrega del proyecto correspondiente a circuitos secuenciales													•			
 Tema 7: Memorias												•	•	•		
 Tema 9: Visión global del circuito integrado														•		
 Tema 10: Test de circuitos integrados															•	
 Repaso. Ejercicios de examen															•	

Actividad	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	E
 Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas definidas más la parte de visión global del chip																.
 Segundo parcial																.
 Examen final																.
 Examen extraordinario																.
 Examen de prácticas																.

CRITERIOS DE EVALUACIÓN

Criterios Generales

A. CONVOCATORIA ORDINARIA

En convocatoria ordinaria el alumnado solo puede optar por uno de estos sistemas de evaluación:

- Evaluación progresiva.
- Prueba de evaluación global.

A continuación se describen las pruebas obligatorias.

Convocatoria ordinaria. Modalidad de prueba de evaluación global:

La evaluación progresiva incluye dos parciales, actividades en clase y en el laboratorio.

La evaluación por prueba de evaluación global consiste en un único examen final. El mínimo para aprobar es un 5.0.

B. CONVOCATORIA EXTRAORDINARIA

La evaluación en la convocatoria extraordinaria se realizará exclusivamente a través del sistema de prueba de evaluación global tanto para teoría como para laboratorio.

C. LIBERACIÓN DE BLOQUES

La asignatura no permite liberar bloques entre la convocatoria ordinaria y la extraordinaria.

Criterios de Evaluación en Convocatoria Ordinaria. Evaluación progresiva

Criterios de evaluación

La calificación final debe ser igual o superior a 5,0. La calificación de cada una de las pruebas debe ser igual o superior a 4,0.

Actividades

- Participación en clase a lo largo del curso (10%)
- Entrega de ejercicios sobre el funcionamiento de los transistores MOS (5%)
- Examen parcial (20%)
- Primera entrega del proyecto correspondiente a circuitos combinacionales (15%)
- Segunda entrega del proyecto correspondiente a circuitos secuenciales (10%)
- Entrega del proyecto final cuyo contenido técnico se corresponde a las tres entregas definidas más la parte de visión global del chip (20%)
- Segundo parcial (20%)

Criterios de Evaluación en Convocatoria Ordinaria. Prueba global

Criterios de evaluación

La evaluación se realiza únicamente por prueba de evaluación global tanto para la parte de teoría como para la de prácticas.

La evaluación por prueba de evaluación global de teoría consiste en un examen escrito. La evaluación por prueba de evaluación global de prácticas consiste en un examen oral para la presentación de conocimientos adquiridos en el uso de herramientas de diseño y la presentación de un proyecto de chip. El mínimo para aprobar es un 5,0.

Actividades

- Examen final (50%)
- Examen de prácticas (50%)

Criterios de Evaluación en Convocatoria Extraordinaria

Criterios de evaluación

La evaluación se realiza únicamente por prueba de evaluación global tanto para la parte de teoría como para la de prácticas.

La evaluación por prueba de evaluación global de teoría consiste en un examen escrito. La evaluación por prueba de evaluación global de prácticas consiste en un examen oral para la presentación de conocimientos adquiridos en el uso de herramientas de diseño y la presentación de un proyecto de chip. El mínimo para aprobar es un 5,0.

Actividades

- Examen extraordinario (50%)
- Examen de prácticas (50%)

RECURSOS

Bibliografía

CMOS VLSI Design: A circuits and Systems Perspective N. Weste, D. Harris (Libro de referencia). Pearson Addison Wesley 2005.

"Digital Integrated Circuits", Rabaey, J.M. Prentice Hall, 1996

Introduction to VLSI Systems: A Logic, Circuit, and System Perspective Ming-Bo Lin. CRC Press. 2011

Web

Guías y vídeos de Cadence



UNIVERSIDAD
POLITÉCNICA
DE MADRID



OBJETIVOS DE DESARROLLO SOSTENIBLE



Salud y bienestar



Industria, innovación e
infraestructura



Producción y consumo responsables