

Método de fabricación de sustratos de circuitos integrados basados en tecnologías CMOS

Información de contacto

Dirección:

- otri.investigacion@upm.es

Tipo de oferta tecnológica

Patentes

¿Dónde?

UPM

Documentación

[Descargar documentación adicional \(jsp?id=508&id_archivo=657&tipo=patente&extension=fichero \)](#)

Descripción de la patente

Método de fabricación de sustratos (1) de circuitos integrados basados en tecnología CMOS que comprende:

- una primera etapa de depósito de una capa de material aislante (3) sobre al menos un soporte (2, 6),
- una segunda etapa de modelado de la capa de material aislante dando lugar a al menos un foso (4) en dicha capa aislante (3),
- una tercera etapa de depósito de una capa de semiconductor (5) sobre los fosos (4) obtenidos en la etapa anterior, de manera que el material semiconductor rellene los fosos (4) totalmente,
- una cuarta etapa de planarización mecánico-química (CMP) que remueve la capa de semiconductor (5), depositado en la segunda etapa, hasta el nivel del borde superior de la capa aislante (3) dando lugar a un sustrato (1) que permite la fabricación de circuitos integrados basados en tecnología CMOS interconexionados tridimensionalmente.

Situación

Concedida

Número de solicitud

P201030475

Número de publicación

ES2346396

Fecha de presentación

30/03/2010

Fecha de concesión

29/08/2011